

Design with Physical — 論理設計を物理設計に近づける技術

歴史的に、ワイヤーロード・モデルでは正確に配線遅延を見積もることができませんでした。さらに、新しいプロセス世代では不正確性がより顕著になってきています。論理設計者は彼らの世界でタイミングを見ていて、物理設計者はまったく違った世界でタイミングを見ています。この相違はいくつかの点で実際の設計プロジェクトに悪影響を及ぼします。

例えば、ワイヤーロード・モデルが実際の物理的な配線遅延に比べ楽観的に設定されていたならば、論理設計者は物理設計で得られる実際の配線遅延よりも楽観的なタイミングで設計を進めることとなってしまいます。論理、物理設計の各々のチームが異なるタイミングを見て、異なる仮定により最適化を行うことは、一般的に論理と物理設計チームの間で長いイタレーションを引き起こします。

その代替案として、論理設計者はタイミングのマージンとして、実際の配線遅延よりも厳しく設定されたワイヤーロード・モデルを設定することがあります。この手法はチップ全体の中でタイミング・クリティカルでない回路に対して、ドライブ強度と消費電力が大きなセルを使ってしまいます。これらのセルを使用することによりチップが必要以上に大きく、かつ、混雑した配線となる原因を引き起こし、消費電力も予定よりも大きいものとなってしまいます。このトレードオフは、昨今の成長著しく、消費電力が重要な感心事とされる家電製品のマーケットではもはや許容できるものではありません。

結果として、論理設計と物理設計の間で実装の影響を効果的に取り込む設計メソドロジーが不可欠となっているということです。

現状

今日の複雑なナノメータ・デザインではワイヤーロード・モデルの不正確性による問題が顕著に現れます。たとえマージンの与えられたワイヤーロード・モデルであっても、いくつかの長い配線については過小に見積もることがあります。その結果、これらの長い配線は「消費電力の過小見積り」、「タイミング・クロージャの失敗」、「論理、物理設計チーム間でのイタレーションの増大」など多くの問題を引き起こします。その一方で、回路内のタイミング・クリティカルでない部分では余分なマージンを与えていることにより必要以上に大きなセルを使い、電力を過剰に消費することになります。

基本的な問題として、論理設計チームは実際の物理情報を考慮せずにネットリストを作成していることです。しかしながら物理情報はある程度、物理設計が終了した段階でないと得ることができません。その間、論理設計と物理設計の間でギャップが生じています。(図1)

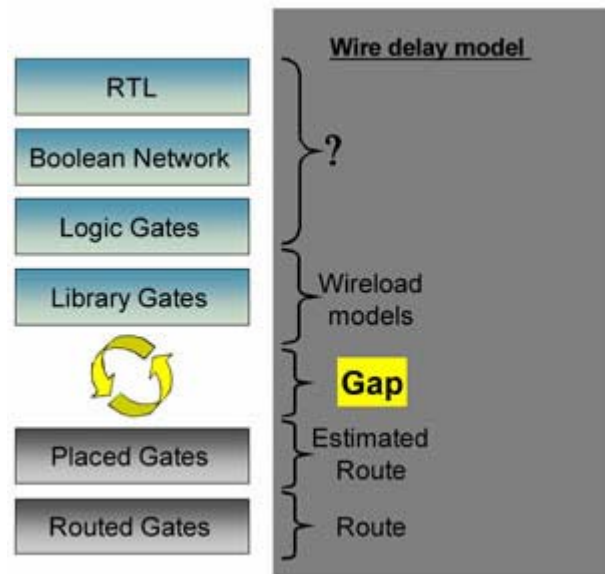


図1 論理設計と物理設計の配線遅延モデリングのギャップ

物理合成ツールは配置情報、及び、ある仮定に基づいてモデリングされた配線により精度の高い配線遅延を見積もることによってこの問題を解決するために開発されました。しかしながら、物理合成ツールは、1. 配置情報や精度の高い配線遅延の見積もりなどの負荷による実行時間の増大、キャパシティの限界、2. 特定箇所のインクリメンタルな最適化に対する容易性の欠如、3. 結果は入力ネットリストおよび配置に大きく依存、などの課題が見られます。確かに物理合成は、いくつかの課題があるにせよ詳細な物理設計の段階では有効な手段ではありますが、論理設計の段階では必ずしも全ての機能が必要となるわけではありません。本来、重要なことは次のステップへの判断を得られるための精度を持つということです。

加えて、Design For Test (DFT) の回路は物理設計に影響を及ぼし、そしてまた影響も受けます。レジスタの配置を無視したスキランチェーン接続は配線のオーバーヘッドとなり物理設計の段階でセットアップ・ホールドのタイミング違反を引き起こします。そして圧縮、BIST、バウンダリ・スキャンのようなDFT回路はI/Oやマクロの近くに配置しなければならないため、しばしばタイミングの最適化の問題となりうる配線混雑領域を作る原因となります。

結果として、設計チームは最適化を犠牲にすることがないように、どの設計工程においても物理設計の影響を考慮したモデリングを取り入れるように最善の努力をする必要があります。論理設計者にとって、ワイヤーロード・モデルはシンセシスによる最適化を可能にしますが、正確なタイミングを得るためには不十分です。前述の通り、物理合成は論理設計で必要とされる以上の正確性を提供しますが、それは必ずしも期待される機能というわけではありません。これが論理と物理設計間のギャップの原因となっています。そこで論理設計者が最適化を行う上で必要なレベルの物理情報を考慮した正確なタイミングを得るために何が改善できるか検討する必要があります。

物理モデリングの改善

物理合成ツールは、「配置を考慮したRTL合成」という定義されている通り、RTLの合成から配置までをカバーします。しかしながら、配置はネットリストが準備できない限り生成されません。そしてネットリストはシンセシスを行わない限り生成されません。このとき、設計者

はシンセシスの段階で配線ディレイのモデリングをするために何を使うのでしょうか？ 正確性に欠けるワイヤーロード・モデルでしょうか、それともそれよりも精度の低いゼロ・ワイヤーロード・モデルでしょうか？ 物理合成ツールはシンセシスの段階では QoS に対してそれほど重要ではないと主張します。しかしながら、新しい合成ツールはチップのタイミング、エリア、パワーを改善するためにはシンセシスがキーになることを証明しています。そこで、どのように設計ツールは十分に正確な物理タイミング情報をシンセシスのプロセスに提供できるのでしょうか？

フル・シンセシスによる最適化

物理合成は物理設計での最適化能力を非常に高めています。論理設計者の観点から、物理合成はシンセシスに比べて配置情報が制約となり最適化の能力は低いと考えられています。論理設計中、最適化の方向性は「どんな加算機のアーキテクチャを使うのか、リソースの共有化を取り入れるのか」など高いレベルで行われます。これらの最適化の指針決定はネットリスト生成や配置の段階では行うことができません。指針の決定にある程度の物理情報を念頭にいれる必要はありますが、配置や配線などの詳細な情報を使う必要はありません。

物理設計でのリスク回避

論理設計者は物理合成ツールを有効に使いこなすために多くの物理設計に関する知識を必要とされます。そして、フロアプランもしくはその他の物理パラメータを使用しない物理合成は、ネットリスト、タイミング制約、ライブラリだけで最適化した結果に比べ良い結果を得ることはできません。昨今の SoC は数百、数千のマクロ、複数の電源電圧、コンプレックス I/O などその他にも多くの物理設計における課題を抱えています。もし、物理合成によってタイミングが収束できなかつたらどうなるのでしょうか？ 物理合成時の解析は物理情報を持ったゲートレベルで行われます。理想的な解決法として論理設計者がまだ作業できる段階で現実的な物理設計からのタイミング情報を提供することです。

これらすべての課題を解決するひとつの解はありませんが、効果的な方法で論理設計の段階で物理情報を考慮したタイミングを取り入れる新しいメソロジーはあります。

RTL-TO-GATES 合成

RTL-TO-GATES 合成はタイミング、エリアのゴールを達成するための最適化という点でもっとも重要な設計のステップです。全体的な論理構造を生成し、そこから全てのインクリメンタルな最適化を行います。しかし、ゲートレベルになるまで実際の配置や配線遅延を得る術はありません。しかしながら、従来のファンアウト・ベースのワイヤーロード・モデルを大幅に改善するいくつかの技術は存在します。配線遅延にファンアウトを使用してモデリングする手法は良く知られていますが、欠点についても知られています。以下に、従来のファンアウトとキャパシタンスの 2 次元テーブル形式で構成される、ワイヤーロード・モデルの問題点についていくつか説明します。

1. 非単調：物理設計から得られるカスタム・ワイヤーロード・モデルによく見られるモデルです。もしデータポイントが少なければ結果はしばしば非単調（＝データポイントが少ないファンアウト・ポイントの前後で山と谷が現れてしまうこと）になり、予測不能な結果となります。

2. 悲観性：安全なワイヤーロード・モデルを使用して余分なタイミング・マージンを乗せることはごく一般的な方法です。しかし、この保守的な解決策ではタイミングの厳しい箇所だけでなく全ての回路に影響してしまいます。その結果として、必要以上に消費電力、及びエリアの肥大化を引き起こしてしまいます。そして、悲観的なワイヤーロード・モデルであってもあるいくつかの長い配線に関する遅延については過小に見積もってしまいます。
3. 変化への対応が困難：配置から生成したカスタム・ワイヤーロード・モデルは設計の変更によりそれ以降の最適化では無効となってしまいます。実際、RTL、及びタイミング制約など設計情報は、物理設計チームが配置やワイヤーロード・モデルを作成している間でも常に改版されています。
4. 異なったデザインのモデリングが困難：ひとつのワイヤーロード・モデルのテーブルは複数の合成で使用されますが、昨今のツールは数ミリオン・ゲート規模の合成を一度で行うことが可能です。このように大規模な回路のなかには様々な配線の特徴を持った数多くの種類の論理構造が存在します。大きなマルチプレクサとデータパスなど異なった配線構造考えた場合、マルチプレクサはいくつもの長い配線のハブになり、一方、データパスは隣あったセルをつなぐ短い配線となります。ひとつのワイヤーロード・モデルではこのようなケースに対応できません。
5. 粗い精度：ライブラリ・セットの中にはデザインサイズにあったワイヤーロード・テーブルが用意されています。しかし、あなたのデザインがちょうどその中間のサイズだったらどうしますか？物理設計から得られるワイヤーロードのテーブルを作り出すことは時間のかかる作業であるため、設計者は楽観的もしくは悲観的となるどちらかを選択しなければなりません。

ワイヤーロード・モデルの正確性の問題のため、設計者の中にはまったくワイヤーロード・モデルを使わずに合成を行う場合があります。この方法は、バッファのリサイジングのように最終的には物理設計で対応できるような単純な回路変更であれば有効かもしれません。しかし、合成ツールをより有効に、また回路全体のタイミング、エリア、パワーを同時に最適化するために使うためには配線による遅延を無視することはできません。設計者はタイミング情報をRTL-TO-GATESの合成に使う意味を正確に理解する必要があります。

RTL-TO-GATES 合成において物理設計ツールの動作を取り込む必要があります。ワイヤーロード・モデルはファンアウト・ベースのテーブルとデザイン規模から得られた静的な値となります。進化した合成ツールはより正確なモデリングを行うために物理ライブラリ情報を使用して動的にファンアウトとデザインの規模から計算できるようにしなければなりません。

より現実的なタイミング・モデルをデザインに使用することは、楽観的もしくは悲観的過ぎる配線遅延の潜在的な問題を無くし、かつ、エリアとパワーの増大の原因となる余分なタイミング・マージンを取り除きます。

このようなモデルを作るために、物理ライブラリの遅延を考慮したワイヤーロード・モデルに置き換える必要があります。同時に、簡単に適用でき実行時間に影響がないようにする必要があります。それぞれのデザインサイズに合った最適化を行うことにより正確な合成を提供し、タイミング、エリア、パワーの観点からより良いQoSとなります。最も重要なこととして、より現実的なタイミング・モデルは異なったワイヤーロード・モデルによるトライアルの必要性を省き、最良と成りうる結果を達成します。

ネットリスト・ベースによる物理設計の予見

これまでの提案を使用することにより、だいたい80～90%の配線を正確なモデリングで合成を行うことが可能です。しかしながら、残りの10～20%の配線が論理－物理設計を収束させる上で大きな問題となることがしばしばあります。長い配線を正確に認識する唯一の方法は、物理設計で使用するフロアプランを使って配置・配線を実行することです。

この方法はまさにシリコン・バーチャル・プロトタイピング（SVP）の役割です。そして、大規模な回路であってもチップ全体の配置・配線を高速、かつ、正確に生成することは既に認識されています。その他の手法では、長い配線について正確に対処することができず誤ったモデリングをしかねません。しかしながら、ほとんどの論理設計者にとって、SVPを使うにあたっての物理設計の知識が乏しく、また、たとえSVPを使って正確なプロトタイプを作成しても、それをどのように使えば良いのか、など課題があります。

その解決策としては、合成とSVPの統合です。（図2）最先端の合成ツールはSVPの起動に必要なセットアップ・ファイルを生成します。そのため、一旦セットアップ・ファイルが生成されれば、それ以降のシンセシスでは、合成ツールからSVPの実行が可能になります。物理設計チームは実際のフロアプランを提供しますが、このフローは実際のフロアプランが生成される前に論理設計チームによって自動的にフロアプランを生成することも可能にします。このようなフローはフロアプランの作成において両チームの協業を可能にします。

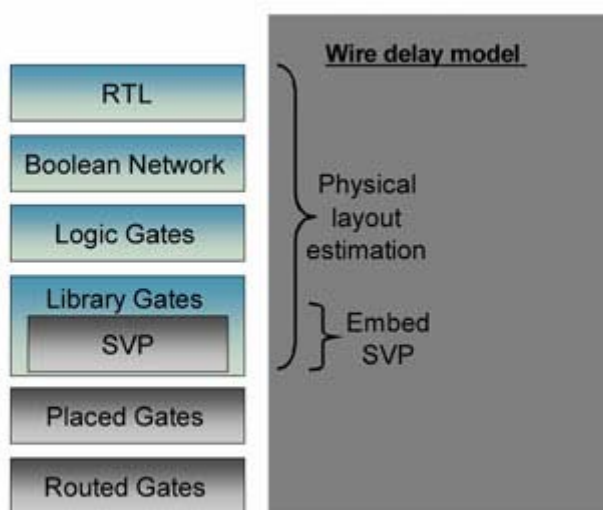


図2 シンセシスとシリコン・バーチャル・プロトタイピングの統合

プロトタイプを作成してから何をすれば良いのでしょうか？ プロトタイプの結果は、合成担当者が慣れ親しんだ環境で物理情報を考慮したタイミング解析を可能にし、ふさわしい対応を取れるように合成の環境へ戻すこととなります。

- ・ もしタイミング、パワーもしくはエリアのどれかがターゲットに達していない場合、設計者は、合成環境の中でタイミング制約の調整などふさわしい対応を試行錯誤します。

- ・ もし設計のゴールを（ほぼ）達成した場合は、論理設計チームはネットリスト、タイミング制約、そしてタイミング、エリア、パワーのサインオフに使用した配置情報を物理設計チームにハンドオフします。物理設計チームは論理設計の段階で得られたタイミング、パワー、エリアが保障されたデータを使用することにより、論理設計との大きなギャップを回避することができます。

合成ツールの中からSVPを起動する手法は、シンセシスの段階で物理的に正確なタイミング情報を扱える環境を提供します。この手法は、論理設計チームに物理設計へのハンドオフ前にタイミング・クロージャーのステップを与え、物理設計時のリスクを取り除きます。

まとめ

複雑な配線遅延、タイミング・クロージャーの問題を解決するプッシュ・ボタンの手法が現れない限り、このペーパーで提案する2段階のアプローチが現実的な改善案となります。

1. 物理ライブラリ情報と設計変更に合わせたモデリングを適用した **RTL-TO-GATES** 合成の中で配線遅延モデリングを改善することは、適用が容易な解決策です。たとえデザイン中の長い配線には不適用であっても、80～90%の配線には適用できます。
2. 長い配線や意図しない問題による残り10%の配線については、実際のフロアプランを使ったプロトタイピングにより正確にモデリングします。ここでの重要なポイントは、合成のための手法ということです。この手法は合成の中からSVPを自動的に起動し、その結果を合成環境へ戻し、論理設計志向で解析、再最適化を可能にします。

この2ステップのアプローチは、論理設計者に慣れ親しんだ環境の中で、従来の手法よりも正確なタイミング情報を用いて作業することを可能にしました。最も重要なポイントとして、この手法は、論理設計チームが物理設計の収束の一端を担い、物理設計チームにリスクの低いデータをハンドオフすることで、合成と物理設計のギャップを埋めることができます。