

# ケイデンスとARM CoreLink™ テクノロジーがSoC統合で協調

Nick Heaton, Senior Solution Architect, Front-End Solutions RnD, Cadence Design Systems 社

ARM®プロセッサ・ベースのシステムオンチップ (SoC) 設計において、システムのインタコネク・ファブリック、特にプロセッサとメモリを結ぶパスの効率性と性能は、どのような設計においても常に重大な要素です。ハードウェア・システム内のデータ転送が100%機能していることは、シリコンが「最初から正しく動作する」ために根本的に重要と言っても良いでしょう。今世紀初めにAMBA® 2プロトコルの一部としてAHB™仕様が追加されると、このようなシステム・ファブリックのコンポーネントは、たとえ設計がそれほど複雑でなくても、完全に機能的に検証されることが必須となりました。さらに複雑なSoC、さらなる高性能の実現が、特にマルチメディア機器の分野で設計者に求められるにつれ、AMBA仕様はまずAMBA 3 AXIプロトコルへ、次に最近のAMBA 4 AXI4仕様へとアップデートされました。

今や、スループットの向上とレイテンシの削減が求められるのはシステム・マスタだけではありません。一般的な設計にも、グラフィックスや通信用として高帯域幅のインテリジェントな処理システムが多数含まれています。このような各種システムは、ファブリックに構造上の条件を課すため、求められる性能と低消費電力を提供しつつ、なおかつ検証と実証が容易なソリューションの設計は、非常に難しいものになっています。

システム設計者のニーズを満たすには、主に2つの問題を解決する必要があります。1つは、アーキテクチャの検討を容易にすることです。これには、設計プロセスの早期に、性能と実装のさまざまなトレードオフを検討し、最初から正しいアーキテクチャを選択できるようなツールをシステム・アーキテクトに提供する必要があります。もう1つは、ファブリックの検証を自動化し、ファースト・シリコンまでの時間を短縮することです。

この記事では、米ケイデンス社と英ARM社が協力し、どのようにそ

れらの問題に対処しているか、またどのようなツールやフローを設計者に提供し、計画中の複雑な製品の設計を容易にしているかを説明します。

## システム・インタコネク・ファブリックの パラメータの早期検討

多様なSoC設計のニーズはさまざまに異なり、それらを満たすために非常に多くの機能が必要となるため、現代のシステム・インタコネク・ファブリックを生成するには、自動化ツールが必須となります。この急激な複雑化は、SoCを設計する際に考慮しなければならない消費電力、性能、実装面積 (PPA) の競合の結果です。実際、現代のSoCは、ほんの数年前ならそれだけでも複雑だと思われていた多数のサブシステムで構成されているのが普通です。これらのコンポーネント・サブシステムも、場合によってはPPAの制約を抱え、さらに通常は、AMBA仕様で定義されている1つ以上のプロトコルを含め、多数のプロトコルをサポートする必要があります。

ARMのCoreLink AMBA Designer™製品 (ADR-301) は、ネットワーク・インタコネク (NIC-301) やダイナミック・メモリ・コントローラ (DMC-342など) といったCoreLink™システムIPのコンフィギュレーションを短時間で生成するためのツールです。AMBA Designerは、このようなシステム・コンポーネントを最適化するために設計時間パラメータのコンフィギュレーションを行うGUIベースのツールです。システムIPコンポーネントの機能と複雑性が高まるにつれ、このようなコンフィギュレーション・ツールの価値が増大しています。しかし、システム・アーキテクトが抱えている本当の問題は、さまざまなコンフィギュレーション・オプションがPPAに及ぼす影響を理解することです。主要なIPのコンフィギュレーションと生成を短時間で行う機能を検討のためのツールに活用することで、PPAへの影響を管理し、最初から「目的に合った」システムを設計する必要があるでしょう。

**チップ見積り**

ケイデンスのCadence® Chip Planning Systemは、できる限り早期から、システム設計上の選択肢を検討するための製品です。このツールにより、アーキテクトは、各種IPを使って「what if」のシナリオを検討し、実装面積をおおまかに予測するとともに、設計上の決断が消費電力に及ぼす影響を知ることができます。推定値は、アーキテクト的、物理的な高度なトレードオフを許容可能な精度で実現する精密な物理モデルに基づいています。図1は、Chip Planning SystemのGUIを示しています。

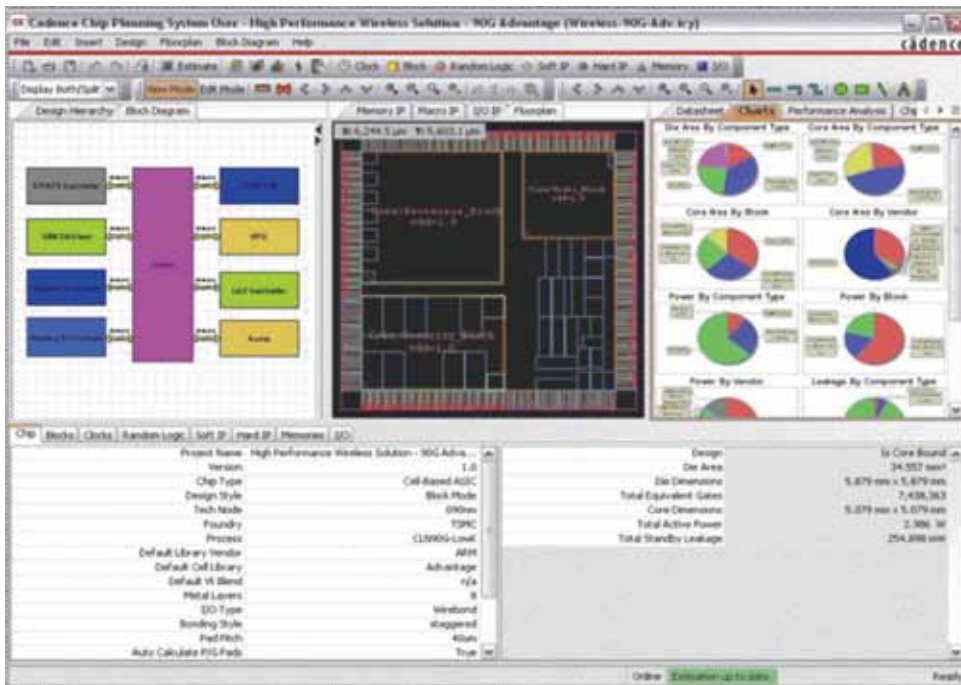


図1 : Chip Planning SystemのGUI

GUIを使えば、アーキテクトは、IPをドラッグ&ドロップし、事実上、将来のSoCのBOM（部品表）を作成することができます。詳細は、[www.chipestimate.com](http://www.chipestimate.com)をご覧ください。Chip Planning Systemは、固定されたさまざまなファブリックのコンフィギュレーションについて、実装面積と消費電力を概算しますが、既に述べたように、コンフィギュレーションの対象となる機能は数多く、プロトコル、バス幅、トランザクション・パイプラインの段数もいろいろのため、結果として生成するIPの消費電力と実装面積には大きなばらつきが生じます。

見積り精度を上げるには、恐らくファブリックRTLの試験合成を実行してみる必要があるでしょう。ケイデンスとARMは、現在、AMBA Designer、Chip Planning System、Encounter® RTL Compilerをどのように協調させ、より詳細な実装面積と消費電力を見積もるための手法を共同で開発中です。

**性能の検討**

ここまで、消費電力と実装面積の推定について述べましたが、性能については触れていません。性能に関して、ケイデンスとARMは、既にAMBA AXI性能解析におけるARM VPE-301製品の相互運用性を実証し、ケイデンスの検証IPポートフォリオ（VIPP）とともに使用しています。昨年のARM TechCon3では、初めて各製品を合わせた機能のデモを実施いたしました。

ケイデンスは、幅広いプロトコルに対応する高度な検証IPの世界的リーダーです。ケイデンスは、AMBA 2から最近発表されたAMBA 4プロトコルに至るまで、すべてのAMBAプロトコルの検証をサポートしています。2つのテクノロジーを組み合わせた場合、実際的なAMBAインタコネクトのトラフィック・シナリオを生成し、帯域幅とレイテンシの性能の詳細を記録するとともに、ARM VPE-301解析GUIを使用して解析することが可能となります。

高度なマルチメディア時代において、複雑なSoCのメモリ・システムをシステムの目的に合わせて設計できることは、非常に重要です。ARM VPE-301ツールは、サイクル精度データの詳細な解析を可能にします。また、ケイデンスAMBA VIPの制約付きランダムの特徴により、システムのさまざまなシナリオを全体的に網羅するテスト

を作成します。VPE-301解析ツールでは、達成した性能レベルがシステムの仕様を満たしているかどうかをユーザがチェックできます。

**生成したシステム・インタコネクト・ファブリックの検証自動化**

ここまで、システムのインタコネクト・ファブリックを「最初から」最適化するための検討機能が求められていることについて述べました。現実のシステム・チームは、設計時のコンフィギュレーション・オプションを、SoC開発プロセスを通じて改善し続け、システムが効率性と性能の目標値を得られるよう努めています。しかしこれは、さらなる問題、つまり検証の問題を生みます。SoC開発のライフタイム中にファブリックが何度も変わるとすれば、ファブリックの検証は動く標的となってしまいます。

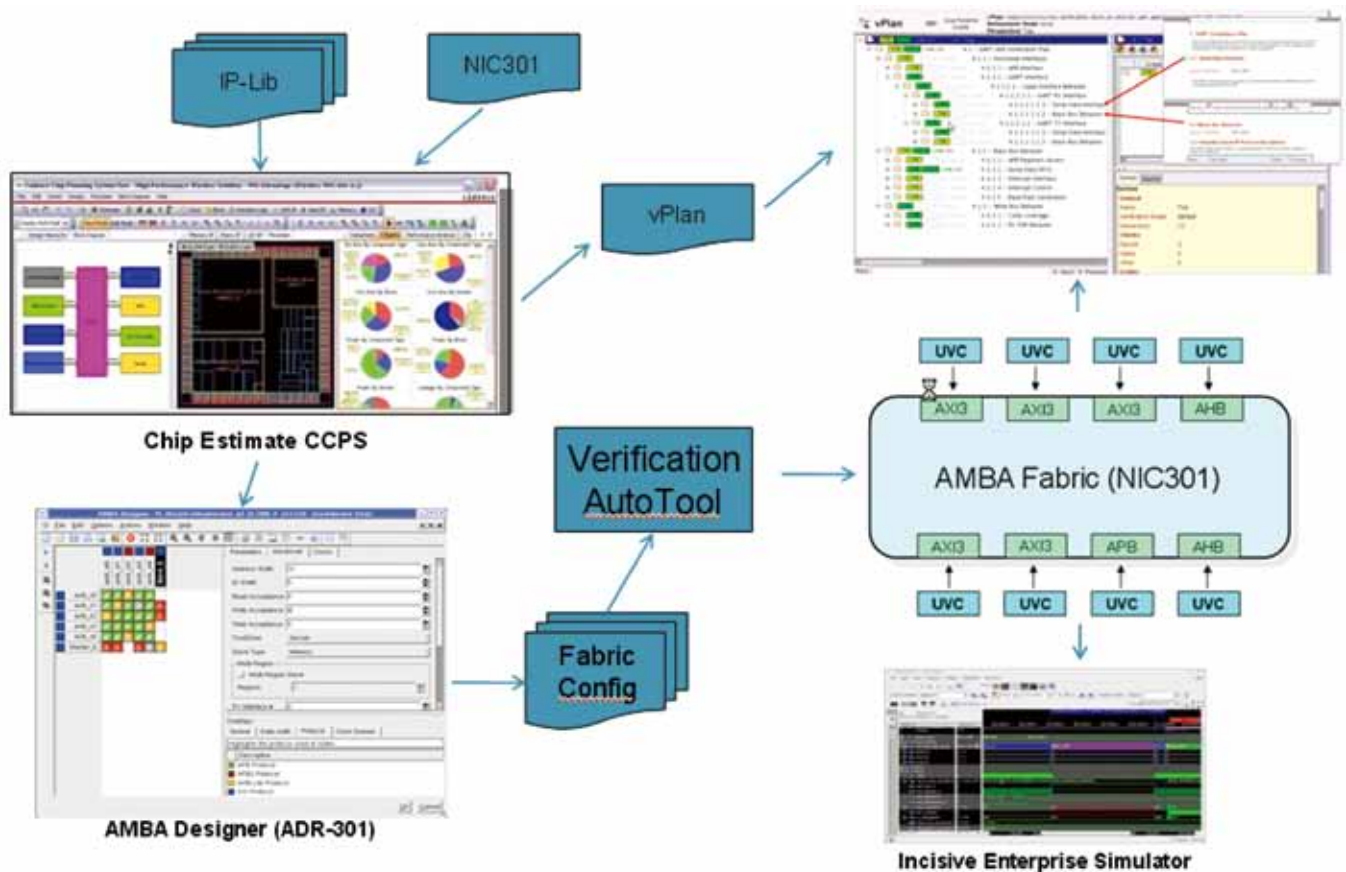


図2: ファブリック検証の自動化

ソリューションを強化するため、ケイデンスはARMと協力し、AMBA Designerで生成したファブリックの検証自動化に取り組んでいます。図2は、コンフィギュレーション・パラメータが選択されるChip Planning Systemからのフローの概要を示しています。これらのパラメータは、AMBA Designerに入力され、RTLとともにIP-XACT形式でのシステム記述を生成します。このコンフィギュレーションから、フローはOVM (まもなくUVMになります) テストベンチの自動生成に進みます。このテストベンチは、必要なAMBA VIPの設定を行い、ファブリック上のトラフィックを駆動することで、設計を完全に検証します。

ケイデンスのCompliance Management System (CMS) は、起こりうるAMBAトラフィックの組み合わせがすべて確実に生成されるようにすることで、完全なプロトコル準拠性を速やかに達成します。また、結果は検証プランにアノテートします。

この自動化は、前のセクションで説明したようなVPE-301を使った性能解析の結果として、設計の遅い時期にシステム設計に変更が加わったときに威力を発揮します。フローを再実行してテストベンチを生成

し、自動的に生成されたリグレッションテスト用スクリプトを起動するだけで、カバレッジ・クロージャが得られ、安心してシステム・サインオフを行うことができます。ファブリックはシステムの非常に重要なコンポーネントです。SoCサインオフ・チームは、すべてのシナリオが検討、確認されることで、データが完全であること、システムのメモリ・マップとファブリックのトポロジがどんな場合にも完全に維持されることに大きな自信を持つ必要があります。

### まとめ

SoCシステム・アーキテクチャがますます複雑化する現在、ファブリックを柔軟に選択できる強力なツールを使用することで、プロジェクトの早期に行った設計の決定事項を検討し、PPAの目標を達成することが不可欠です。ただし、プロジェクト早期の決定が不可逆的なものであってはなりません。それでは、SoC開発中に得た知識を応用し、新しい道を開くことができないからです。複雑なファブリックの問題を解決し、製品化期間を最短にするというニーズを満たすため、ARMとケイデンスは協力し、最適なソリューションの開発とフローの自動化に取り組んでいます。

END