



## 第7回 C-to-Silicon Compiler 高位合成技術ワークショップ開催のご案内

ハードウェア設計の大規模化につれて、現状の RTL(Register Transfer Level)設計の効率化が大きな課題となっています。より抽象度の高いアルゴリズム記述から RTL へ自動合成できる高位合成技術は近年、設計の効率を向上する切り札として注目を集めています。しかし、従来の高位合成には、人手の設計に比べて品質が悪い、データパスの設計しか適用できない、ECO に対応できないなどのいくつかの課題があり、必ずしも設計の現場に普及しているとは言いがたい状況でした。

今回、現在高位合成技術を利用している、またご検討されている設計者の方を対象に、Cadence の新しい技術で生まれた高位合成ツールである C-to-Silicon Compiler を紹介するとともに、高位合成技術、SystemC 設計によるハードウェア設計の基本を実際の演習を通して学んでいただくワークショップを用意いたしました。例題に沿って実際に合成を行っていただきながら、SystemC 記述、合成果分析、アーキテクチャ探索、インクリメンタル合成、SystemC モデルの電力見積もりを一通り学んでいただければと思います。

お忙しい折とは存じますが、是非ご出席いただけますようお願い申し上げます。

\*トレーニング・ルームの設備の関係上、参加人数に上限を設けさせていただいております。そのため、必ずしも受講を希望される方全員のご希望に沿うことができないかもしれないこと、あらかじめお詫びさせていただきます。満席になってしまった場合、今後定期的な開催を予定しておりますので、是非、次回開催へのご出席をよろしく願いたします。

主催： 日本ケイデンス・デザイン・システムズ社  
イノテック株式会社 IC ソリューション本部

日時： 2010年2月17日(水曜日)

場所： 日本ケイデンス・デザイン・システムズ社 トレーニング・ルーム  
[横浜市港北区新横浜 2-100-45 新横浜中央ビル 16F](#)

費用： 無料

## 【内 容】

本ワークショップは、以下の項目を学んでいただくことを目的としています。

- 高位合成とは何か
- Cadence C-to-Silicon Compilerの特徴
  - SystemC合成サブセット・スタイルガイド
  - SystemC言語の基本
  - 高位合成ためのSystemC/C/C++言語のサブセット
- C-to-Siliconによる高位合成
  - 高位合成の基本手順
  - アーキテクチャ探索及び結果分析
  - インクリメンタル合成及びその効果
  - OSCI TLM合成
  - SystemCモデルの電力見積もり

## 【アジェンダ(予定)】

10:00 – 12:00	高位合成技術の紹介 Cadence C-to-Silicon Compilerの紹介 高位合成のためのSystemC言語紹介
12:00 – 13:00	昼食
13:00 – 14:30	C-to-Siliconの高位合成の手順 アーキテクチャ探索及び合成結果の分析 演習 : アーキテクチャ探索、SystemCモデル合成と結果分析
14:30 -14:45	休憩
14:45 -16:40	インクリメンタル合成の説明 TLMモデル合成及び電力見積もりの説明 演習: SystemCレベルでの電力見積もり
16:40 – 17:00	サマリ及び質疑応答

## 【お申込方法】

日本ケイデンス／イノテック営業担当までご連絡ください。

担当営業がお分かりにならない場合は、下記までご連絡ください。  
日本ケイデンス・デザイン・システムズ社 コーポレート・マーケティング部  
E-mail: [cdsj\\_info@cadence.com](mailto:cdsj_info@cadence.com)