

# ENCOUNTER CONFORMAL LOW POWER

Cadence® Encounter® Conformal® Low Power はケイデンスの Encounter digital IC design platform のキー・テクノロジーであり、低消費電力用に最適化された数百万ゲート規模の設計を、テスト・ベクタでシミュレーションすることなく、検証とデバッグを可能にします。低消費電力に関する業界標準の等価性チェックに加え、構造チェックと機能チェックを組み合わせ、優れたパフォーマンス、機能、使いやすさを提供します。

## ENCOUNTER CONFORMAL TECHNOLOGY

全体的な設計サイクルの時間を短縮し、シリコンのリスピンを最小限に抑えるために、設計者は製品実績のある検証を必要とします。Encounter Conformal 検証テクノロジーは Cadence Logic Design Team Solution の一部であり、等価性チェックやデザイン制約マネージメント、機能 ECO 解析と生成、低消費電力設計検証などに対する最も包括的なソリューションを提供します。

## ENCOUNTER CONFORMAL LOW POWER

市場はモバイル機器に代表されるよう、より長時間のバッテリー寿命とより高いパフォーマンスが必要となってきています。このバッテリーの長寿命化と高いパフォーマンスという相反する要求が高まる中、チップはナノ・メートル・スケールのプロセスへの移行が進み、消費電力の管理が最もクリティカルな設計課題の一つに挙がってきています。90nm 以降の微細なプロセス・ノードを使用して開発されたデバイスは、リーケージ・パワーの増加のため、動作するしないにかかわらず非常に多くのパワーを消費してしまいます。

リーケージ・パワーとダイナミック・パワーの最適化は消費電力の軽減のみならず、より低い冷却機能、パッケージング・コストも軽減させます。スタティックおよびダイナミックな電圧及び周波数のスケールング、パワー・ゲーティング、ステート・リテンションなどの先進の低消費電力手法を用いることにより、更

なるパワー・セービングを提供する一方、これらは検証タスクを複雑化します。低消費電力機能の大部分が論理合成や物理実装によって組み込まれることによって検証の複雑さは増大していきます。フル・チップのゲート・レベル・シミュレーションはサイズや複雑性の理由から、今日の設計の論理機能を検証することに対して現実的または拡張的な手法ではありません。

Encounter Conformal Low Power は実績の証明された等価性検証と機能検証を持ち、フォーマル・テクノロジーを使用してこれらの問題を解決し、フル・チップの低消費電力設計検証を可能にします。

Encounter Conformal Low Power は XL および GXL パッケージで利用可能です。

## 利点

- 完全な検証カバレッジを提供することによりシリコンのリスピンのリスクを最小化
- 設計サイクルの早期の段階で低消費電力実装のエラーを検出
- 従来のゲート・レベル・シミュレーションに比べ、数百万ゲート規模の設計を超高速に検証することにより、検証時間を大幅に削減
- RTL-to-Layout の検証ギャップを解消
- 独立した検証テクノロジーを用いてクリティカルなバグの見逃しのリスクを大幅に軽減

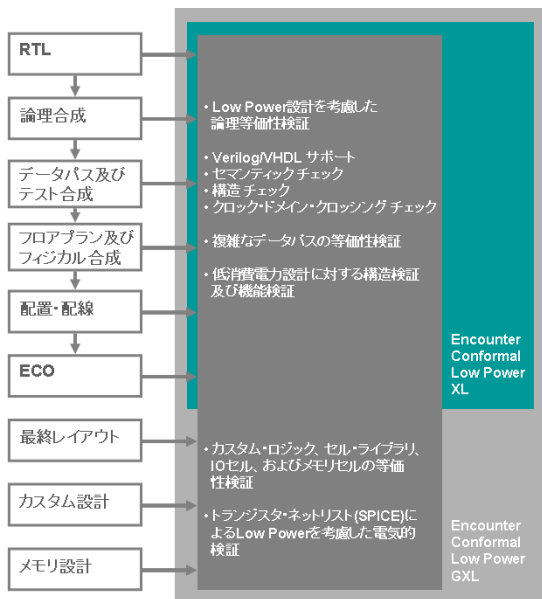


図 1. Encounter Conformal low Power による RTL から GDS までの完全な低消費電力設計検証環境

### 主な特長

## ENCOUNTER CONFORMAL LOW POWER XL

Encounter Conformal Low Power XL では複雑な Low Power SoC 及び、データパスを含む設計の論理等価性検証に加え、低消費電力設計やクロック・ドメインの同期化構造、セマンティクス向けの機能検証と構造検証を包含しています。

### 低消費電力設計用の等価性検証

設計の開発において、低消費電力設計は最終レイアウトまでに非常に多くのイタレーションが発生し、設計プロセスの各ステップで論理バグを引き起こす可能性があります。

Encounter Conformal Low Power XL はこれらの様々な設計段階で生成される低消費電力設計の各設計プロセス間の論理等価性をチェックし迅速にエラーの検出、修正を行うことができます。クロック・ツリー合成や最適化でのゲーテッド・クロックのデクロッキングやリクロッキングのみならず、クロック・ゲーティングやシグナル・ゲーティング、マルチ Vt ライブラリなどの先進のスタティック・パワー最適化のための論理合成に対応しています。

Encounter Conformal Low Power XL は Common Power Format (CPF)仕様言語をサポートします。CPFをガイドラインとして使用し、RTL デザイン内にレベル・シフタ、アイソレーション、ステート・リテンション・レジスタなどの Low Power セルを仮想的に挿入・接続し、これにより真の低消費電力の RTL-to-Gate の等価性検証を可能にします。ネットリストの変更により論理ゲートが誤ってドメイン・バウンダリを超えてしまった場合を検出するために、レベル・シフタやアイソレーション・セルをドメインのバウンダリ・ポイントとしてモデル化して等価性検証を行います。

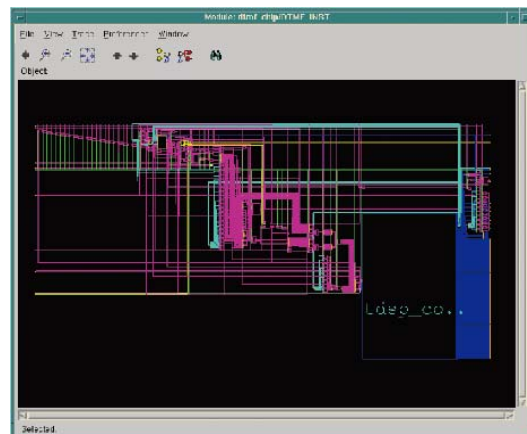


図 2. Encounter Conformal Low Power XL のパワードメイン ハイライト機能

### 低消費電力設計の構造検証と機能検証

Encounter Conformal Low Power XL はマルチ・サプライ・ボルテージ (MSV) やコース・グレイン・パワー・ゲーティング (PSO)、コース・グレイン・グランド・スイッチング (GSO)、Dynamic Voltage and Frequency Scaling (DVFS)、ステート・リテンション・パワー・ゲーティングなどの設計テクニックをサポートします。CPF を用いた RTL デザインや論理ゲート・ネットリスト(一般に論理合成後)、パワーを考慮した物理ゲート・ネットリスト(P&R 後) 上でのパワー・ドメインの構造検証や機能検証の実行を可能にします。

RTL と CPF を用いない実装フローによって生成された論理ゲート・ネットリストの検証においては、設計者は Encounter Conformal コマンドを用いて Low

Power セルやパワー・ドメイン、グランド・ドメイン、ボルテージ、スタンバイ条件、パワー・モード、パワーの関連付けなどをマニュアルで定義します。CPF を用いた実装フローの場合は、CPF から直接すべてのセットアップ情報を読み込みます。その際にデザイン階層内にドメインを伝播させ、すべてのドメイン・バウンダリ・クロッシングを認識して以下の項目についてレポートします。

- 問題のある、またはフローティング接続に関連するパワー・ドメインおよびグランド・ドメインの割り当て
- レベル・シフトの不足、冗長、誤ったドメインの割り当て、誤った接続
- アイソレーション・セルの不足、冗長、誤ったゲート・タイプ、誤った配置、誤ったアイソレーション・イネーブルの極性
- 適切にパワー供給されていない制御信号

Encounter Conformal Low Power XL はアイソレーション・セルとレベル・シフト・セルの組み合わせセル(コンボ・セル)のみならず、専用、非専用(標準セル)のアイソレーション・セルもサポートします。フォーマルな手法を用いてアイソレーションとステート・リテンションの機能検証も行うことができます。物理ネットリストの検証では、Verilog の電源配線を考慮したネットリストと LEF、シミュレーション・モデルまたは Liberty モデルを読み込むことができます。トップ・レベルのパワー・ピンやパワーおよびグランド・ネット、パワー・スイッチ(MTCMOS)、グランド・スイッチ、アイランド・ボルテージ、パワー・ピンの関連付け、そして Low Power セルを使用し、設計内のパワー・ドメインとドメイン・クロッシングを自動的に認識します。物理ネットリストの検証におけるツール全体のセットアップも CPF から読み込ませることができ、以下の項目についてレポートします。

- ショートやオープンを含んだ不正なパワーおよびグランドの接続
- 未定義のパワー・ドメインを持つインスタンス、

混在のパワー・ドメインを持つインスタンス

- 不足、冗長、不正なパワー接続、誤ったレベル・シフト・タイプ
- 不足、冗長、不正なアイソレーション・セルのパワー接続
- パワー供給されていないパワー・スイッチやアイソレーション・セル、ステート・リテンションへのパワー制御信号
- ステート・リテンション・レジスタへの不正なパワー接続

Encounter Conformal Low Power XL は標準セル・ベースのアイソレーションのみならず、ユーザ定義のアイソレーション・セルでアイソレーションの機能検証を行うことができます。さらにフォーマルな手法を用いてステート・リテンション・レジスタの Sleep および Wake シーケンスの機能検証も実行可能です。

### 統合環境

セットアップとデバッグに対して直感的かつインタラクティブなグラフィカル・ユーザ・インターフェース(GUI)を提供します。使用者に対して Fail となったチェックの原因を迅速にピンポイントで見つけることを可能にします。

- 統合されたスキーマティック・ビューアを利用したグラフィカルなデバッグ
- 等価性検証で代入頻度や重み付けのパーセンテージを伴う自動的なエラー候補検出機能
- Fail した箇所のデバッグを支援する Low Power マネージャ GUI
- Fail したアイソレーションやステート・リテンションのプロパティに対する波形ビューア表示、及びオートマチック・カウンタ・エグザンプル生成

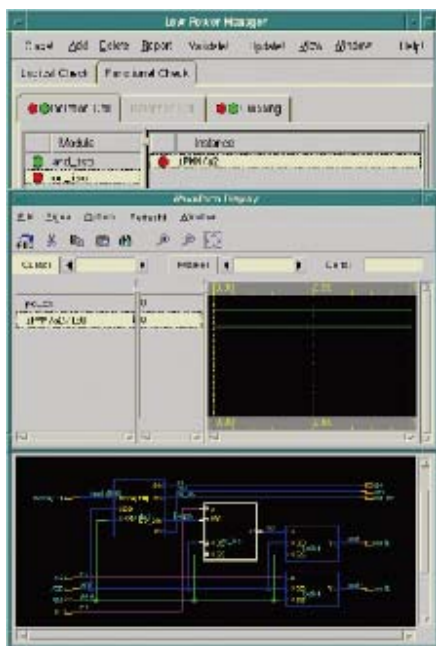


図3. Encounter Conformal Low Power のデバッグ環境

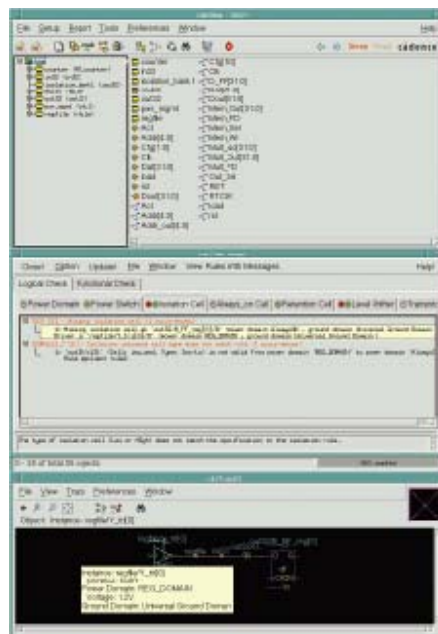


図4. 構造検証によりアイソレーション・セルの欠落が検出された例

## ENCOUNTER CONFORMAL LOW POWER GXL

Encounter Conformal Low Power XLで提供されるすべての機能に加え、Encounter Conformal Low Power GXLはトランジスタ回路の解析や抽出、カスタム設計や標準セルライブラリ、IOパッド、エンベデッド・メモリなどに対する等価性検証機能を提供します。トランジスタのスタックを考慮した信号強度チェックのようなサーキット・インテグリティや、パワー・ドメインを跨ぐパスがパワー・ダウン時に起すDCパスなどの回路的問題に対するチェックなど、ユニークなチェックも提供します。

Encounter Conformal Low Power GXLは、トランジスタのCDLやSPICEネットリストからレベル・シフトやアイソレーション・セルなどのパワーを考慮したVerilogモデルを正確に抽出することができます。これはシミュレーションやLiberty、SPICE、LEFモデル間の矛盾について検証します。さらに、低消費電力設計で使用されるアイソレーション・セルが適切であることを検証します。

## プラットフォーム

- Linux (32/64ビット)
- Sun Solaris (32/64ビット)
- IBM AIX (32/64ビット)

## 言語サポート

- Verilog (1995, 2001)
- SystemVerilog
- VHDL (87,93)
- SPICE (traditional, LVS)
- EDIF
- Liberty
- 言語混在


**cadence**

**日本ケイデンス・デザイン・システムズ社**

本社 / 〒222-0033 神奈川県横浜市港北区新横浜 2-100-45  
営業本部  
TEL.(045)475-8410 FAX.(045)475-8415 URL <http://www.cadence.co.jp/>  
〒541-0054 大阪府大阪市中央区南本町 2-6-12 サンマリオン NBF タワー16F  
TEL.(06)6121-8095 FAX.(06)6121-7510



販売代理店 **イノテック株式会社** IC ソリューション本部

〒222-8580 神奈川県横浜市港北区新横浜 3-17-6  
TEL.(045)474-2290,2291,2293(営) FAX.(045)474-2395  
URL <http://www.innotech.co.jp/>  
〒541-0054 大阪府大阪市中央区南本町 2-6-12 サンマリオン NBF タワー16F  
TEL. (06)6121-7703(営) FAX. (06)6121-7720

\* © 2010 Cadence Design Systems, Inc. All rights reserved worldwide.  
CadenceおよびCadenceロゴは、Cadence Design Systems, Inc. の登録商標です。  
その他記載されている製品名および会社名は、各社の商標または登録商標です。  
\* 掲載の内容は、2010年3月現在のものです。

