

ENCOUNTER CONFORMAL ECO DESIGNER

Cadence® Encounter® Conformal® ECO Designer は設計者に pre-mask および post-mask レイアウトに対する RTL の Engineering Change Order (ECO)の実装を可能にします。業界標準の等価性チェックを用いて、自動的な ECO 解析とネットリスト修正を組み合わせ、最高のパフォーマンス、生産性、キャパシティ、そして使い易さを提供します。

ENCOUNTER CONFORMAL TECHNOLOGY

全体的な設計サイクルの時間を短縮し、シリコンのレスピンを最小限に抑えるために、設計者は製品実績のある検証を必要とします。Encounter Conformal 検証テクノロジーは Cadence Logic Design Team Solution の一部であり、等価性チェックやデザイン制約マネジメント、機能 ECO 解析と生成、Low Power デザイン検証などに対する最も包括的なソリューションを提供します。

ENGINEERING CHANGE ORDER

Engineering Change Order (ECO)は、デザイン内の論理の追加や削除を行うものから、シグナル・インテグリティに対する配線のクリーン・アップのようなより微細な変更までの、広範囲で多種多様な実装を意味します。ECO は、論理的な変更と、タイミングの修正など論理に影響のないものとに分類され、デザイン・ネットリストへの論理的な変更は、機能 ECO と呼ばれます。ECO はデザインの一部分の修正であり、いずれのデザイン修正も、デザイン・サイクルにおいていつでも発生する可能性があるということです。すべての ECO は、正確さとスケジュールにおける最小のリスクで、できるだけ早くマーケットへ製品が出荷できることにフォーカスしています。

設計者、および管理者にとって ECO はストレスが多く、長い作業時間を要し、かつ不確実性の残るものと認識されています。論理変更がネットリスト内で実装されるとしても、変更を行うのに十分なスペアゲートがマスク上に無いかもしれません。より良い手法が ECO 実装に対して必要とされています。ECO の処理に対する従来のフローは、製品が動作するかどうかの不確実性をいくらか低減するかもしれませんが、それらは今なおマニュアルによる処理で、一般的に正しい実装を実現するために多大な工数と時間を必要とします。そして ECO によってネットリストに実装された論理変更が、物理ネットリスト内で正しく実装されているかどうか保証がありません。もし ECO がメタル・レイヤ変更のみで実装された場合、コストは非常に削減されることでしょう。この知識を持つことは、チームの信頼と計画に非常に大きなインパクトを与えます。実装の可能性を早期に知ることによって、トライ&エラーによるスケジュールの延長で時間を無駄に浪費するよりも、むしろ設計チームは計画を変更し、有効なソリューションを検討することができます。

ENCOUNTER CONFORMAL ECO DESIGNER

ケイデンスは高い品質の ECO を実現するために RTL-to-GDS フローの異なるパートを補う完全な ECO ソリューションを用意しました。このソリューションは Encounter Digital Implementation System(EDI System)に加えて Encounter Conformal ECO Designer で構成されます。これらを組み合わせたソリューションは ECO 処理に対する自動化と予測可能性を提供します。

Encounter Conformal ECO Designer は機能 ECO の解析と生成機能を提供するユニークなテクノロジーです。製品実績のある等価性チェックと機能チェックを組み合わせ、フォーマル・テクニックを用いて機能 ECO の解析、実装を行います。

Encounter Conformal ECO Designer は pre-mask ECO フローをターゲットとした XL と、スペアゲートとメタル配線を使った post-mask ECO フローをターゲットとした GXL の 2つのパッケージが用意されています。

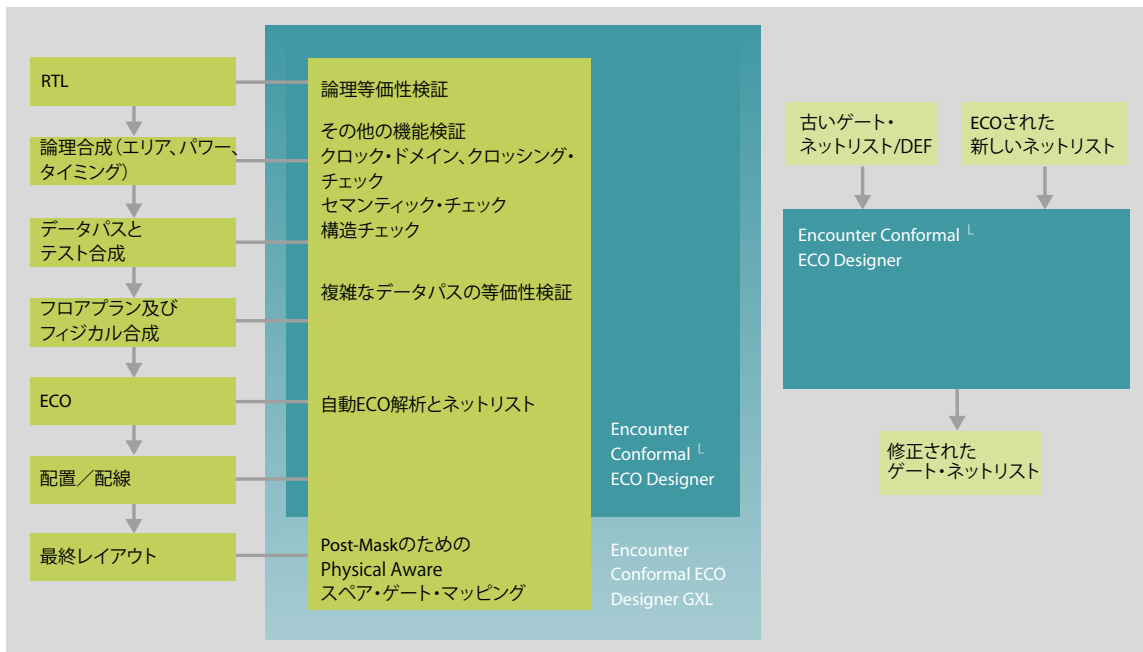


図1. Encounter Conformal ECO Designer は ECO 解析とネットリスト修正を自動化します

利点

- マニュアルによる作業の最小化とイタレーションの削減による大幅な TAT の改善を提供
- ECO の実現の可能性を早期に見積もりが可能
- スケジュールの遅延が非常に明白であるときにデザイン・サイクル内での高い価値を提供
- メタルレイヤのみの ECO を行う際のフレキシビリティを提供し、マニファクチャリング・コストを削減
- 数百万ゲート規模のデザインの検証に対して、従来のゲート・レベル・シミュレーションに比べ検証時間を大幅に削減
- 独立した検証テクノロジーを通じてクリティカルなバグの見逃しのリスクを削減

主な特長

Encounter Conformal ECO Designer では (非常に複雑な SoC とデータバスを含むデザインの) 論理等価性チェックに加え、機能 ECO の解析、デザイン・ネットリスト修正、クロック・ドメインの同期化構造、セマンティックス・チェックを包含しています。

ECO 用の等価性チェック

設計の開発において、設計は最終レイアウトまでに非常に多くのイタレーションが発生し、このプロセスの各ステップで論理バグを引き起こす可能性があります。

Encounter Conformal ECO Designer はこれらの様々な設計段階で生成されるデザインの各バージョンの機能等価性をチェックし、設計者が迅速にエラーの検出、修正を行うことができます。等価性チェックは ECO の実装プロセスにおいても重要な役割を担います。デザイン内のどのモジュールのロジック・コーンが ECO の実装変更を行おうとしているかを ECO 解析ツールに判別させるために使用されます。例えば

図 2 のケースで、オリジナル・ネットリスト(G1)は新しいネットリスト(G2)と比較され、どの部分に変更されたかを判断します。等価性チェックはフロントエンドまたはバックエンドの両サインオフ用に ECO 実装が問題なく成功したことを確認するために、プロセスの最後でも再度使用されます。

機能 ECO 解析

Encounter Conformal ECO Designer は古いデザイン・ネットリスト(G1)と新しいデザイン・ネットリスト(G2)との差を判別する ECO 解析エンジンを内蔵しています。利用者はデザイン全体または一般的により効率のよい方法としてデザイン階層内の特定のデザイン上で ECO 解析を行うことができます。ECO 解析のステップが完了すると Encounter Conformal ECO Designer は古いネットリスト(G1)に新しい機能を実現するために必要なネットリスト修正を行います。その結果、ECO ネットリスト(G3)が出力されます。

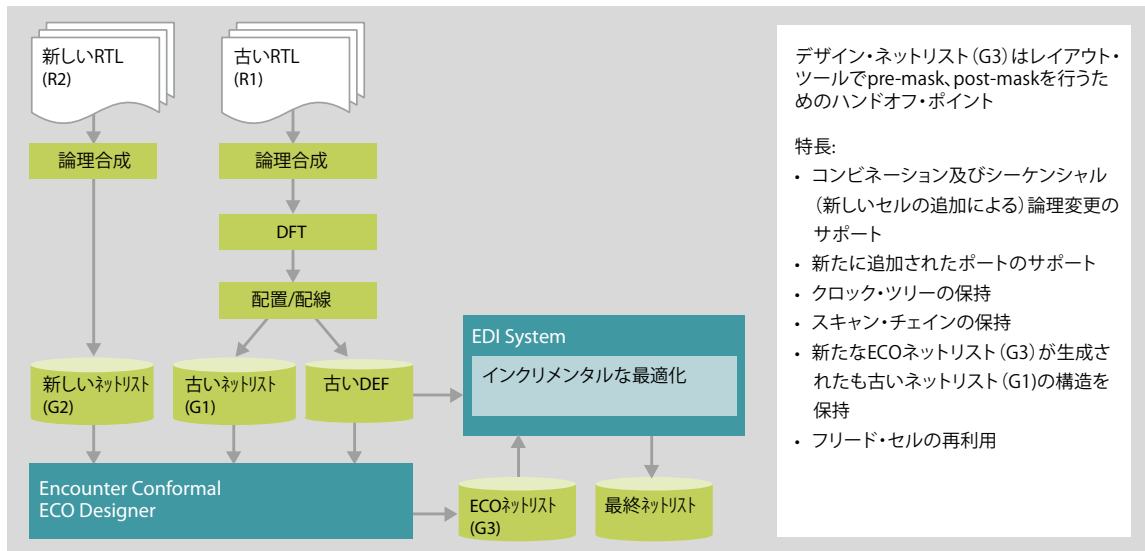


図 2. Encounter Conformal ECO Designer インプリメンテーション・フロー

ポストマスクECOのためのスペアゲート・セル マッピング

Conformal ECO Designer GXL は、DEF, SPEF, Captable, Liberty ライブラリ、そして SDF を読み込み、ECO 論理をスペアゲートに最適に割り当てることができます。マッピング・エンジンはタイミング、及びスペアゲートの位置を考慮し、設計者に設計の早い段階で ECO の実現の可能性を検討する機会を与え、レイアウト作業の効率化を提供します。また、Conformal ECO Design GXL はフリー・セルの再利用も可能です。

出力は ECO ネットリスト(G3)、及びスペアゲートのマッピングファイルになります。このマッピングファイルはレイアウトツールに新たに追加された論理をどの様にスペアゲートでマッピングするのかを指示します。

統合環境

セットアップとデバッグに対して直感的なグラフィカル・ユーザー・インターフェース (GUI) を提供します。使用者に対して不等価の原因を生産的かつ迅速にピンポイントで見つけることを可能にします。

- 各エラーとなるベクタの論理値を表示した、統合されたスキマティック・ビューアを利用したグラフィカルなデバッグ
- RTL モデルと回路との完全なクロス・ハイライト機能
- 代入頻度や重み付けのパーセンテージを伴う自動的なエラー候補検出機能
- 関連情報のデバッグをフォーカスするロジック・コーンの絞込み

スマートなセットアップと診断機能

Encounter Conformal ECO Designerはセットアップや診断を容易にするためのインテリジェントな'analyze'コマンド・セットを提供します。例えば、'analyze setup'コマンドは現在の環境を調査し、新規ユーザに発生しがちな共通のセットアップの問題を自動的に改善します。更に'analyze nonequivalent'コマンドは不等価が発生したときに実行し、不等価の原因を表示します。

プラットフォーム

- Linux (32/64ビット)
- Sun Solaris (32/64ビット)
- IBM AIX (32/64ビット)

言語サポート

- Verilog (1995, 2001)
- SystemVerilog
- VHDL (87,93)
- SPICE (traditional, LVS)
- EDIF
- Liberty
- 言語混在

cadence

日本ケイデンス・デザイン・システムズ社

本社 / 〒222-0033 神奈川県横浜市港北区新横浜 2-100-45
営業本部
TEL.(045)475-8410 FAX.(045)475-8415 URL <http://www.cadence.co.jp/>
〒541-0054 大阪府大阪市中央区南本町 2-6-12 サンマリオン NBF タワー16F
TEL.(06)6121-8095 FAX.(06)6121-7510



販売代理店 イノテック株式会社 IC ソリューション本部

〒222-8580 神奈川県横浜市港北区新横浜 3-17-6
TEL.(045)474-2290,2291,2293(営) FAX.(045)474-2395
URL <http://www.innotech.co.jp/>
〒541-0054 大阪府大阪市中央区南本町 2-6-12 サンマリオン NBF タワー16F
TEL. (06)6121-7703(営) FAX. (06)6121-7720

* © 2010 Cadence Design Systems, Inc. All rights reserved worldwide.
CadenceおよびCadenceロゴは、Cadence Design Systems, Inc.の登録商標です。
その他記載されている製品名および会社名は、各社の商標または登録商標です。
* 掲載の内容は、2010年3月現在のものです。