

ENCOUNTER CONFORMAL EQUIVALENCE CHECKER

Cadence® Encounter® Conformal® Equivalence Checker (EC)は、数百万ゲート・クラスのデザインに対してテスト・ベクタを使用することなく検証およびデバッグを可能にします。加えて、RTLから最終LVSネットリスト (SPICE) までのSoCデザインに加え、FPGAデザインに対しても利用可能な唯一の完全な等価性検証ソリューションを提供し、複雑な算術論理、データパス、メモリ、カスタム論理などを含む多種多様な回路の検証を可能にします。

ENCOUNTER CONFORMAL TECHNOLOGY

全体的な設計サイクルの時間を短縮し、シリコンのレスポンスを最小限に抑えるために、設計者は製品実績のある検証を必要とします。Encounter Conformal 検証テクノロジーは Cadence Logic Design Team Solution の一部であり、等価性チェックやデザイン制約管理、機能 ECO 解析と生成、Low Power デザイン検証などに対する最も包括的なソリューションを提供します。

信頼できる製品実績

ENCOUNTER CONFORMAL EC

既に数千ものテープアウトにより証明された Encounter Conformal EC は、業界で最も広く使用されている等価性検証ツールです。更に、多くのフィジカル設計クロージャ・ツールや先進の論理合成ツール、ASIC ライブラリ、IP コアにおいて、他のフォーマル検証テクノロジーよりも製品実績を持ったツールです。

Encounter Conformal EC は L、XL、GXL パッケージで利用可能です。

利点

- 数百万ゲート規模の ASIC、または FPGA を網羅的に検証 — 従来のゲート・レベル・シミュレーションと比べ高速に検証
- 独立した検証テクノロジーを用いてクリティカルなバグの見逃しのリスクを削減
- 設計フロー全体を通して高速かつ、正確なバグの検出と修正を実現

- 設計サイクルの早い段階で、機能的なクロック・ドメイン・クロッシングの問題を回避可能
- 複雑なデータパスに対する等価性検証能力を拡張、及び RTL-to-Layout 検証のギャップを改善 (Encounter Conformal EC)
- RTL モデルがシリコン上で実装されるトランジスタ回路と同じ機能であることを検証可能 (Encounter Conformal EC GXL)

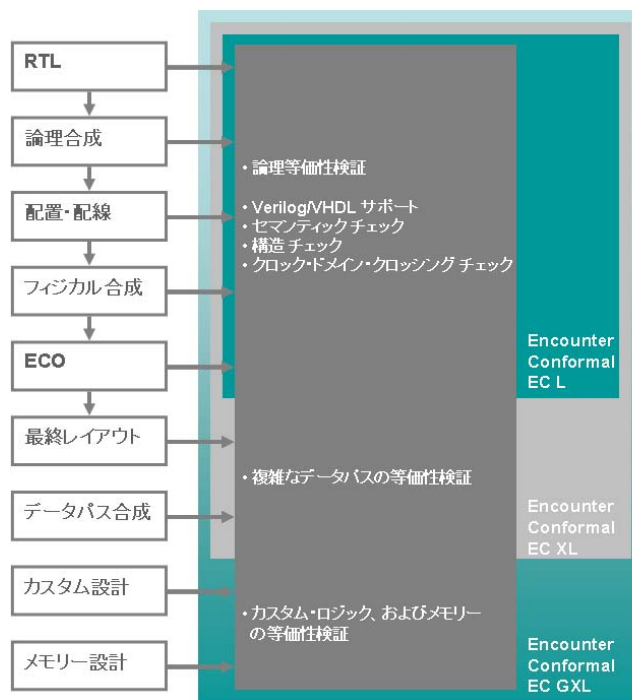


図1. Conformal EC を用いた設計・検証フロー

主な特長(パッケージ別)

ENCOUNTER CONFORMAL EC L

Encounter Conformal EC Lではコアである等価性検証テクノロジーと拡張の機能チェックを包含しています。

等価性検証

設計期間中、最終レイアウトまでに非常に多くのイタレーションが発生し、このプロセスの各ステップで論理バグを引き起こす可能性があります。Encounter Conformal EC Lはこれらの様々な設計段階で生成されるデザインの機能等価性をチェックし、設計者が迅速にエラーの検出、修正を行うことができます。

デザイン・フローからの独立

Encounter Conformal EC Lは、実装ツールと検証ツールでのテクノロジーの共有に関わるリスクを削減するために、設計プロセスから独立した検証環境を提供します。ツールは製品実績のあるHDLパーサや論理合成、マッピング、最適化、データパス・アルゴリズムなどを含む、デザイン・フローから独立して開発されたテクノロジーを用いています。Encounter Conformal EC Lを使用することで、設計バグを確実に検出します。

統合環境

セットアップとデバッグに対して直感的なグラフィカル・ユーザー・インターフェース(GUI)を提供します。設計者に対してミスマッチの原因を、より生産的な作業で迅速かつピンポイントに見つけることを可能にします。

以下の環境を提供します。

- 各エラーの原因となるベクタの論理値を表示した統合されたスキマティック・ビューアによるグラフィカルなデバッグ
- RTLと回路との完全なクロス・ハイライト機能 (図2)
- 代入頻度や重み付けのパーセンテージによる自動的なエラー候補検出機能
- 関連情報のデバッグをフォーカスするロジック・コーンの絞込み

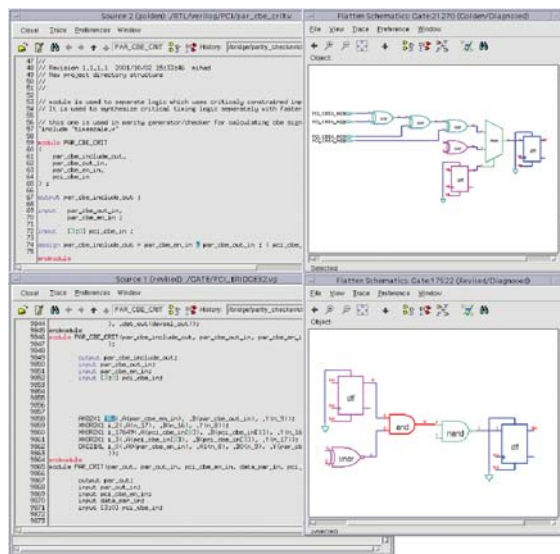


図2. RTLと回路とのクロス・ハイライト機能

FPGA等価性チェックのサポート

FPGAデバイスのサイズの増大化、および複雑化は、FPGAの設計者にとってASICで発生していることと同様のデザイン・クロージャの問題となってきました。等価性検証は、FPGAのデザイン実装フローにおいても必要不可欠になってきました。Encounter Conformal EC LはXilinx ISEやAltera Quartus IIの実装フローに加え、Synplify Proの論理合成をサポートします。

クロック・ドメイン・クロッシング(CDC) と拡張の機能検証

Encounter Conformal EC Lは設計者にデザインの非同期クロック・ドメイン・クロッシングと固有なプロパティの検証を可能にします。これらのチェックは従来の等価性検証ツールによって検証されない領域を事前に検証し、設計サイクルの早い段階で困難な実装バグを検出することにより等価性検証を補完します。最終的な結果としてより安全な検証ソリューションとなります。

- クロック・ドメイン・クロッシング・チェック
 - FIFOシンクロナイザを自動的に認識
 - 同期化構造を検証
 - データ・スタビリティを検証
- セマンティック・チェック — 論理合成の仮定を検証し、RTLとゲート・レベルとのシミュレーションの間でミスマッチが起こる可能性のある状態を検出します。
- 構造チェック — データ衝突に対するバス・チェックやセット/リセットの排他的チェック、マルチ・ポート・ラッチの衝突チェックなどを行います。

ENCOUNTER CONFORMAL EC XL

Encounter Conformal EC Lで提供されるすべての機能に加え、Encounter Conformal EC XLは、複雑なデータパスの自動チェックを提供します。更に最終P&Rネットリスト向けの等価性チェックも拡張しています。

データパス合成の検証

データパスの最適化は、複雑な算術演算器のためにフォーマルな検証には困難なデザインを生成する可能性があります。設計者はデータパス・ブロックを検証するのにシミュレーションに依存してきましたが、シミュレーションの実行時間が非常に長く、結果が不完全である可能性があります。

Encounter Conformal EC XLはテスト・ベクタを使用せずに複雑なデータパス・ブロックを網羅的に検証する業界初のフォーマル・ソリューションを提供します。ハイ・パフォーマンス・デザインに対して要求される多種多様なデータパス構造をサポートしています。

- 自動フラット・データパス・モジュール検証 — フラット化されたネットリストにおいて、バウンダリやアーキテクチャをマニュアルで指定することなく、容易に検証が行えます。オペレータ・マージを自動的に検証します。最適化により削除された回路の比較および標準アーキテクチャやダイナミック構造を持つ乗算器を自動的に検証

します。

- 高度なパイプライン・チェック — パイプライン化されたデザインの適切な実装を検証します。
- キャリー・セーブ検証機能 — 加算器や乗算器、レジスタなどのシーケンスに対する最適化で行われるキャリー・セーブ式変換を含む回路の検証を可能にします。

最終回路の検証

Encounter Conformal EC XLはRTLからレイアウトまでの完全な検証ソリューションを可能にする業界唯一の検証ツールです。LVS用に生成されたSPICEネットリストや抽出されたGDSとRTLもしくはゲート・モデルとの機能的な比較を行います。このプロセスはシリコン上の回路が設計および検証されたデザインと同一の論理機能を持っていることを保証します。

スマートなセットアップと診断機能

Encounter Conformal EC XLはセットアップや診断を容易にするためのインテリジェントな'analyze'コマンド・セットを提供します。例えば、'analyze setup'コマンドは現在の環境を調査し、新規ユーザに発生しがちな共通のセットアップの問題を自動的に修正します。更に'analyze nonequivalent'コマンドは不等価が発生したときに実行することにより、不等価の原因を指示します。

パラレル・プロセッシング

大規模デザインに対しては、複数のマシン上で同時にEncounter Conformal EC XLを実行することにより、複数のライセンスで全体の検証時間を削減することができます。LSFもサポートされています。

ENCOUNTER CONFORMAL EC GXL

Encounter Conformal EC XLで提供されるすべての機能に加え、Encounter Conformal EC GXLはカスタム・デザインやエンベデッド・メモリ用のトランジスタ回路解析を可能にします。

設計者はカスタムのエンベデッド・メモリや算術ブロック、データパス、標準または拡張ライブラリ、その他のカスタムまたはセミ・カスタムのデジタル回路にEncounter Conformal EC GXLを使用することができます。サポートされる回路スタイルは、標準または複合のブーリアン・ファンクション、ラッチ、レジスタ、パス・ゲート、トランスミッション・ゲート、トライ・ステート・スイッチ論理、プリ・チャージ論理セル、ドミノ論理ブロック、デュアル・ルールなどです。

カスタム論理抽出

Encounter Conformal EC GXLはデジタル・トランジスタ回路を解析し、等価な論理のVerilog®モデルを抽出します。ベースの抽出アルゴリズムはパターン・ベースのソリューションに比べより強力です。抽出された回路のVerilogのゲート論理モデルは以下に利用することができます。

- 等価性検証
- フォルト・グレーディング — 最大限のデバッグ効率のために回路の階層と構造を保持します。
- エミュレーション — 実際のトランジスタ・レベル回路による正確なエミュレーション・モデルを提供します。
- シミュレーション・アクセラレーション — 抽出されたVerilogモデルを使用して

SPICE回路で行う場合に比べ、非常に高速なシミュレーションを可能にします。

メモリ検証

従来のシンボリック・シミュレーション・ツールは、今なお複雑化しているメモリ機能の検証用に想定されていません。

Encounter Conformal EC GXLは網羅的な論理検証を提供し、(テストベンチを必要としないため) 結果のクオリティが包括的なテストを開発するための時間やリソースを費やすことに制限されません。Encounter Conformal EC GXLはVerilogのシステム・シミュレーション、および等価性検証を使用したトランジスタ回路設計の完全な論理機能検証用のメモリ・プリミティブを生成します。

- 特定のプリミティブを生成するための直感的なグラフィカル・インターフェース
- 生成されるプリミティブはアドレス、ワード、カラムMUXをコンフィギュレーション可能
- すべてのread-write, read-only, write-onlyの組み合わせが生成可能
- 生成されたシミュレーション・モデルは高いパフォーマンスで、アドレス衝突や同時read-writeのような不正なメモリ使用のトラップに対するビルトイン・アサーションを含んでいます。

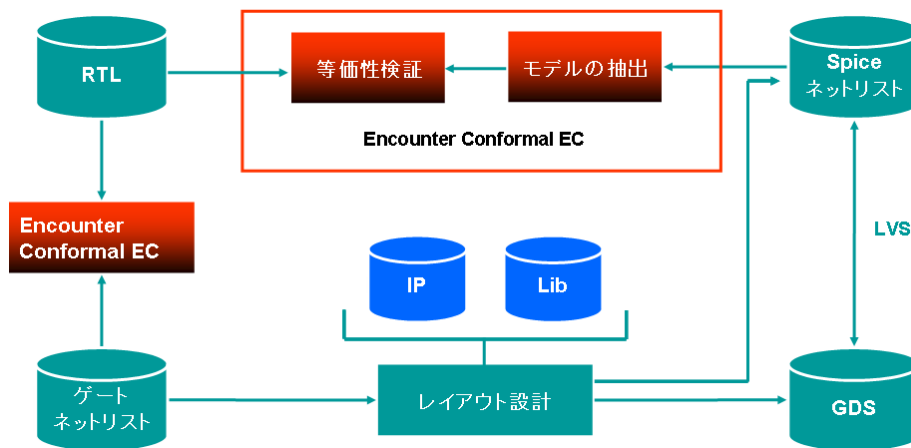


図3. GXLのファイル・インターフェース

プラットフォーム

- Linux (32/64ビット)
- Sun Solaris (32/64ビット)
- IBM AIX (32/64ビット)

サポート言語

- Verilog (1995, 2001)
- SystemVerilog
- VHDL (87,93)
- SPICE (traditional, LVS)
- EDIF
- Liberty
- 言語混在

cadence®

日本ケイデンス・デザイン・システムズ社

本社 / 〒222-0033 神奈川県横浜市港北区新横浜 2-100-45
営業本部
TEL.(045)475-8410 FAX.(045)475-8415 URL <http://www.cadence.co.jp/>
〒541-0054 大阪府大阪市中央区南本町 2-6-12 サンマリオン NBF タワー16F
TEL.(06)6121-8095 FAX.(06)6121-7510



販売代理店 イノテック株式会社 ICソリューション本部

〒222-8580 神奈川県横浜市港北区新横浜 3-17-6
TEL.(045)474-2290,2291,2293(営) FAX.(045)474-2395
URL <http://www.innotech.co.jp/>
〒541-0054 大阪府大阪市中央区南本町 2-6-12 サンマリオン NBF タワー16F
TEL. (06)6121-7703(営) FAX. (06)6121-7720