

CADENCE IC/PACKAGE CO-DESIGN

Allegro Package Designer L
Allegro Package Designer XL
Allegro Package SI L

マーケットはパッケージにより多くの機能を求め、多ピン、多層のフリップチップパッケージへと移行しています。デバイスのパフォーマンスと品質を最適化するためには、チップ、システムとパッケージとを切り離して設計することはできません。Cadence® IC/package co-designテクノロジーは、ICとパッケージの協調設計を可能にし、コスト削減、性能向上、設計時間短縮を実現します。さらに、インプリメンテーション前のデザイン初期段階においてIC/package co-designのトレードオフを可能にします。

IC/PACKAGE CO-DESIGN TECHNOLOGY

IC パッケージングは silicon-package-board デザインフローの中でも重要であり、Cadence Allegro®プラットフォームは、PCB、パッケージデザインのための完全でスケラブルな技術を提供します。Cadence IC/Package co-design テクノロジーは、タイトなスケジュールを達成すると同時に、設計者がコスト、性能に優れたチップ・パッケージデザインを最適化し設計することを可能にします。

BENEFITS

- IC パッケージデザインフロー全体をサポート
- シンプルかつ高速なデザインプロセス
- 性能とコストの最適化
- IC デザインサイクルの初期段階にて、最良のパッケージと基板技術を決定
- 物理的・電氣的パフォーマンスとコストとのトレードオフを簡易化 (Allegro Package SI)
- Encounter ベースの IC die abstract co-design により基板配線性、クリティカル信号の品質、および I/O パッドリング/アレイの最適化を実現 (Allegro Package Designer XL)
- ダイ to ダイ、接続された IC パッケージとシステムの相互間のインターコネクタ解析環境の提供 (Allegro Package SI)

LAYOUT FEATURE

(ALLEGRO PACKAGE DESIGNER L AND XL)

CONSTRAINT-DRIVEN PHYSICAL LAYOUT

Allegro Package Designer には今日の高度なパッケージ設計に必要な技術がすべて含まれています。完全なオンライン DRC は、複数のキャビティ、複雑な形状、対話型およ

び自動ワイヤーボンディング機能の全てをサポートします。ダイ、BGA、プレーティングバー、PWR/GND リングといった IC パッケージのビルディングブロックを作成するためのウィザードも用意されています。

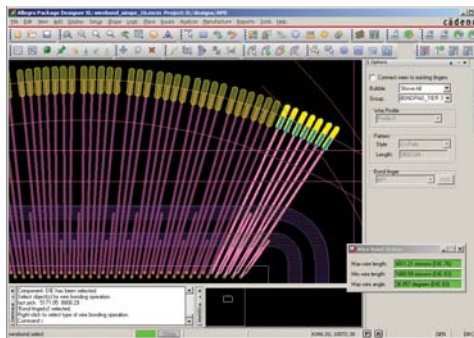
SUBSTRATE MODELING AND RULE CHECKING

設計プロセス全般にわたり、物理的・電氣的制約条件 (Constraint) に照らしてダイナミックにルールチェックが行われ、違反がある場合にはリアルタイムで DRC マーカーが表示されると共に、スプレッドシート形式の Constraint Manager にも表示されます。

WIREBOND & FLIP-CHIP ESCAPE PATTERNS

Allegro Package Designer は、ユーザー定義された制約に基づく、ワイヤーボンディングの高速かつ確な配置や柔軟な編集機能を提供します。

フリップチップテクノロジーについても、自動/半自動による複雑なビアや配線逃げの作成といった、今日の高密度配線における複雑なレイアウトを支援します。



INTERCONNECT OPTIMIZATION

チップ、パッケージ間の接続を、ネットリストを予め用意することなく構築できます。配線の実現性とタイミングに

よって制御されるチップとパッケージ間の接続は、自動/対話的なアサインユーティリティにより、最適な結果をもたらします。

AUTOMATIC BUMP-TO-PACKAGE PIN ASSIGNMENT AND ROUTE FEASIBILITY

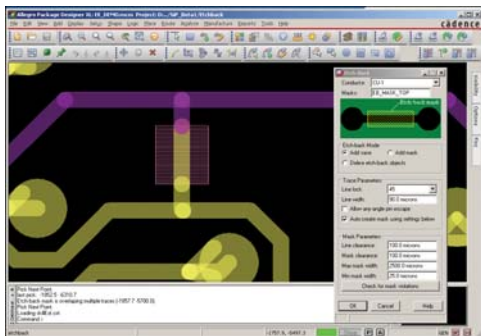
ルーターもしくはコンストレイントドリブンアルゴリズムが、デザインルールに基づき最適な配線ルートを導き出します。差動ペアに定義されるバンプは、隣接するピンに応じて自動的にアサインされます。

INTERACTIVE AND AUTOMATIC ROUTING

自動配線 (Allegro® PCB Router と SpiderRoute) ツールが統合されており、配線時間に要する時間を大幅に短縮します。SpiderRoute は、プレーティングバーを含めたデザイン内の全ネットを事前にスキャンし、Any Angle または 45 度で配線を実行します。

MANUFACTURING OUTPUT CAPABILITIES

プレーティングバーの作成、エッチバック、デガッシングが可能です。製造データは Gerber4x00/6x00、RS274X、DXF、GDSII 等に対応しています。



PCB SYSTEM-LEVEL HAND-OFF

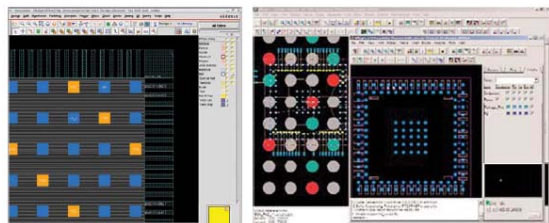
Cadence IC/package co-design テクノロジーはシリコンとパッケージ間の連携だけでなく、パッケージと PCB 間もリンクし、フィジカルフットプリント等を自動的に生成します。

CO-DESIGN FEATURES

(ALLEGRO PACKAGE DESIGNER XL)

I/O PLANNER

グラフィカルな I/O Planner により、co-design

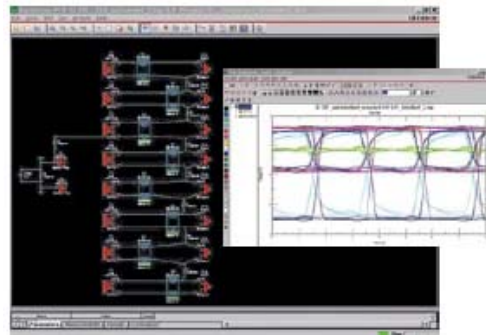


ダイの作成、インポート、編集が可能です。IC die abstract co-design による I/O パッドリング/アレイとパッケージサブストレートの接続/割り当ての最適化を一つのプロセスとして実行し、サブストレートの配線性、クリティカル信号の品質とパッドリング/アレイの最適化を実現します。

PACKAGE SIGNAL INTEGRITY FEATURES (ALLEGRO PACKAGE SI L)

TOPOLOGY EXPLORATION WITH SIGXPLOER

ネットのトポロジーを生成し、配線経路の探索、解析、定義を行うためのグラフィカル環境です。VSIC (virtual system interconnect) モデルを使用してのソリューションスペース解析により、設計初期段階にてパッケージと PCB デザインを管理するルールの開発が可能です。

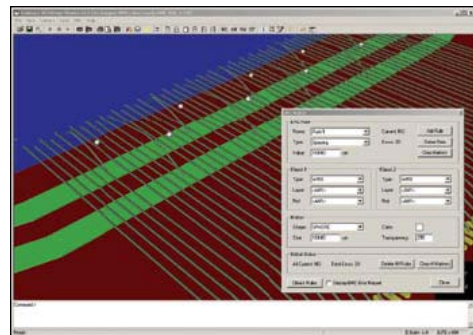


INTEGRATED CONSTRAINT MANAGEMENT

コンストレイントマネージャーにより、等長配線、差動ペア、インピーダンスまたは遅延ルール、電気的制約条件等を管理し、仕様を満たしたパッケージ設計環境を提供します。

3D DESIGN VIEWER OPTION

3D Design Viewer は、3D ビューワーと 3D ワイヤーボンディングルールチェック (DRC) を備え、デザイン全体、或いは選択された部分の視覚化、仕様確認、3D DRC チェック機能により、設計時間の削減、製造品質の改善を支援します。



CADENCE IC/PACKAGE DESIGN FEATURE SUMMARY

	ALLEGRO PACKAGE SI L	ALLEGRO PACKAGE DESIGNER L	ALLEGRO PACKAGE DESIGNER XL	3D DESIGN VIEWER
SIGNAL INTEGRITY (SI) FEATURES				
SigXplorer topology editor and simulator (pre-route capabilities)	●			
SigXplorer topology editor and simulator (pre-and post-route capabilities)	●			
S-Parameter interconnect modeling and SI simulation	●			
Spectre simulation engine	●			
Package/pin-delay length report	●	●	●	
	ALLEGRO PACKAGE SI L	ALLEGRO PACKAGE DESIGNER L	ALLEGRO PACKAGE DESIGNER XL	3D DESIGN VIEWER
SUBSTRATE DESIGN FEATURES				
Constraint Manager (electrical and physical)	●	●	●	
Export .mcm design to .brd		●	●	
Interactive (i/a) and automatic component (packaged and bare die) placement	i/a only	●	●	
Auto/interactive wirebonding	●	●	●	
Full and partial design connectivity assignment and optimization (router-based, interactive-and constraint-based)	●	●	●	
Interactive and automatic interconnect routing (free angle and multi-layer orthogonal)	●	●	●	
Online soldermask checking		●	●	
Recursive breakout pattern creator		●	●	
	ALLEGRO PACKAGE SI L	ALLEGRO PACKAGE DESIGNER L	ALLEGRO PACKAGE DESIGNER XL	3D DESIGN VIEWER
ADVANCED DESIGN FEATURES				
I/O planning co-design editor (using LEF/DEF and OA)			●	
Hierarchical GDSII output		●	●	
3D Design Viewer and 3D wirebond DRC				●
Interconnect cline spreading		●	●	
Tiles creation, editing			●	
BGA editor	●	●	●	
HDI via structure support	●	●	●	
	ALLEGRO PACKAGE SI L	ALLEGRO PACKAGE DESIGNER L	ALLEGRO PACKAGE DESIGNER XL	3D DESIGN VIEWER
DFM PREPARATION/OUTPUT				
Die/BGA footprint compare using DEF/OA/.TXT		●	●	
Filled shapes (metal) creation and editing	●	●	●	
Design documentation such as dimensioning, annotation		●	●	
Etch back of plating traces		●	●	
Plating bar generation		●	●	
Manufacturing and documentation export/import capabilities (stream, dxf, AIF)		●	●	
Substrate mask output (Gerber, GDSII)		●	●	
Full design status reporting capabilities	●	●	●	
Waived DRCs (creation and reporting)	●	●	●	
Degassing of filled metal shapes		●	●	
Thieving (metal area balancing)		●	●	

cadence

日本ケイデンス・デザイン・システムズ社

本社 / 〒222-0033 神奈川県横浜市港北区新横浜 2-100-45
 営業本部
 TEL.(045)475-8410 FAX.(045)475-8415 URL <http://www.cadence.co.jp/>
 〒541-0054 大阪府大阪市中央区南本町 2-6-12 サンマリオン NBF タワー16F
 TEL.(06)6121-8095 FAX.(06)6121-7510



販売代理店 **イノテック株式会社** ICソリューション本部

〒222-8580 神奈川県横浜市港北区新横浜 3-17-6
 TEL.(045)474-2290,2291,2293(営) FAX.(045)474-2395
 URL <http://www.innotech.co.jp/>
 〒541-0054 大阪府大阪市中央区南本町 2-6-12 サンマリオン NBF タワー16F
 TEL. (06)6121-7703(営) FAX. (06)6121-7720

* 記載の各製品等は登録商標です。
 * 掲載の内容は、2009年6月現在のものです。