

ALLEGRO DESIGN ENTRY HDL ALLEGRO SYSTEM ARCHITECT ALLEGRO DESIGN PUBLISHER (optional)

システム設計者は、実装までの期間を短縮させるために複数のメンバーとコラボレートするなど柔軟性を高め、回路図の入力を加速させる必要が生じています。ケイデンスのデザイン・エントリー・テクノロジーは、PCBデザインを加速させるためのカスタマイズ可能な幅広いソリューションを提供します。このソリューションは、回路設計者とレイアウト設計者の平行作業を可能とし、デザインの再利用をもサポートします。またデジタル/アナログ/SIシミュレータと統合されています。また、制約条件を用いたコンストレイント・ドリブン・フローをサポートしています。

CADENCE DESIGN CREATION TECHNOLOGY

ケイデンスのデザイン・エントリー・テクノロジーは、次の製品により利用可能です。

- Allegro System Architect GXL
— フレキシブルでパワフルなシステム設計環境を提供するため、回路図、スプレッドシートや Verilog-HDL の組み合わせを可能とした業界初マルチスタイル・デザイン設計環境
- Allegro Design Entry HDL L/XL
— PCB やパッケージ設計のために完成された、拡張性に富んだ回路図ベースのソリューション

また、以下のオプションがあります。

- Allegro Design Publisher
— Allegro Design Entry HDL で作成した回路図から、非表示のプロパティを含む全ての情報を PDF ファイルとして出力

コンストレイント・ドリブン設計

Allegro Constraint Manager による統合は、物理的、電氣的制約条件の管理を容易にし、制約条件の通信を確実なものとし、単純なネットに加え、Net Class、バス、Xnet、デファイネンシャル・ペア、マッチ・グループといった様々なデザイン・オブジェクトがサポートされます。ECSets(Electrical Constraint Sets)を使用することによって、制約条件の再利用を可能とします。制約条件の値は、

回路図-レイアウト間で Design Differences を使用して比較することができ、いずれのツールにも値が反映できます。制約条件がデザイン・エンジニアによって作成され、基板レイアウトが外部に委託されているような時、非常に役に立ちます。ユーザは、制約条件とデザイン・データから別々に確認する必要はなく、このスプレッドシートベースのシステムでデザイン・データベース内の全ての電氣的制約条件を得ることができます。Allegro PCB Editor の DRC システムがどんな制約違反も追跡できるので、設計者は、回路図データ・ベースの中で指定された制約条件が Allegro PCB Editor の制約条件と同一であるか確認することができます。デザインに追加されたブロックから制約条件を自動的に抽出、使用、上書きすることも可能です。

カスタマイズ可能な設計環境の提供

ケイデンスのデザイン・エントリー・テクノロジーは、ネットワーク・レベルのインストールに対応します。環境設定、デフォルト・オプション、メニュー、カスタム・ユーティリティはインストール時にサイトまたはユーザ・レベルで設定できます。ライブラリは、サイト・レベルで共有できます。ライブラリ作成者は、ライブラリの更新を設計者に自動的に通知する機能を利用できます。また、スクリプトやプログラミング言語も提供しているため、全ユーザに組織特有のユーティリティを配布するのも簡単です。大半のプログラムをコマンド・ラインから起動させることができるので、スクリプトベースの自動化も可能です。ユーザはカスタマイズされたワークフローの構築が可能です。設計者はカスタム・ルール・チェックを作成し、配布することも可能です。

Allegro プラットフォームへの統合

ケイデンスのデザイン・エントリー・テクノロジーは、シームレスなデータ・フローを確実にするため、Allegro プラットフォームの一部として完全に統合されています。マルチ・ベンダー環境と比較して、あらゆる角度からフローを徹底的にテストし、リリースします。高度な機能の追加に際し、フロー全体に渡ってツールを拡張し、総合的な検証を行います。ケイデンスのデザイン・エントリー・テクノロジーの検証されたフローは、ポイント・ツールにはできない価値を提供します。

デザイン・リユース

デザインの大半は、他のデザインを応用するか、他のデザインの必要な部分を再利用して作られます。設計者は、ケイデンスのデザイン・エントリー・テクノロジーの提供する再利用のための選択肢の中から最も効果的なアプローチを選択できます。既存のデザインから、シート単位、ブロック単位またはデザイン全体で再利用できるので、修正作業やエラーを削減できます。電気的制約条件もブロックや ECSet を使用することにより再利用することができます。(参照: 図 1)

更にこのテクノロジーでは、コンポーネントのようにリユース・ブロックを作成し、他のデザインで配置できるようにライブラリに格納できます。また、接続情報、制約条件、各ブロックのレイアウトも再利用できます。

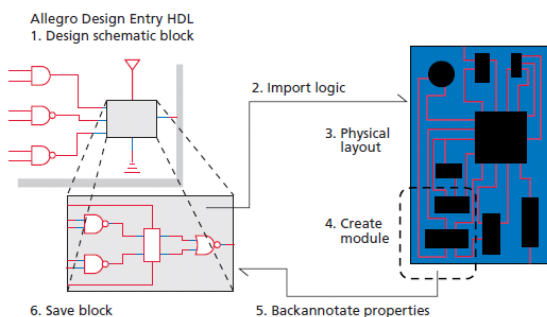


図 1: 階層ブロックの完全な再利用をサポート

スプレッドシートによる編集

Allegro System Architect のスプレッドシート・エディタは、システム・デザインの生産性を向上させます。このエディタでは、2 種類の表示モードを利用して接続情報の編集、信号のナビゲーションやデバッグが容易に行えます。バス、Xnet、ディファレンシャル・ペアもサポートします。このツールは、多ピン・デバイスの接続に際して威力を発揮するのみでなく、これまでの、数多くのシンボルを複数ページに渡って配置するという回路図作成作業から設計者を解放します。一方で、ドキュメンテーションを目的とした回路図の自動生成機能が備えられています。また、多ピン・デバイスとその周辺のバイパス・キャパシタやプルアップ/プルダウン抵抗等のディスクリート部品とを関連付ける機能を設けており、この情報は Allegro PCB Editor にも受け渡されて配置の際に利用されます。(参照: 図 2)

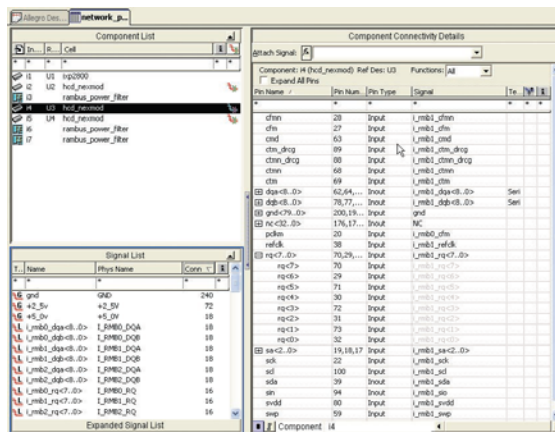


図 2: 直感的なスプレッドシート・エディタ

cadence®

日本ケイデンス・デザイン・システムズ社

本社 / 〒222-0033 神奈川県横浜市港北区新横浜 2-100-45

営業本部

TEL: (045)475-8410 FAX: (045)475-8415

〒541-0054 大阪府大阪市中央区南本町 2-6-12 サンマリオン NBF タワー16F

TEL: (06)6121-8095 FAX: (06)6121-7510

URL <http://www.cadence.co.jp/>

* © 2010 Cadence Design Systems, Inc. All rights reserved worldwide.
CadenceおよびCadenceロゴは、Cadence Design Systems, Inc.の登録商標です。
その他記載されている製品名および会社名は、各社の商標または登録商標です。
* 掲載の内容は、2010年3月現在のものです。