

ALLEGRO FPGA SYSTEM PLANNER

Cadence® Allegro® FPGA System Plannerは、1つ、もしくは複数の大規模・多ピンFPGAをプリント基板上で使用し、設計するときに直面する初期ピン・アサインの作成、回路図との統合や、プリント基板上でFPGAデバイスの確実な配線に対し取り組みます。Allegro FPGA System Planner は、FPGAベンダの協力を得たデバイス・ルールにより、最適化されたピン・アサインの自動生成を行なうFPGA-PCB間の新しいテクノロジーを提供します。エラーの起こりやすい手作業によるプロセスを、このデバイスの配置を意識した自動ピン・アサイン・シンセシスに置き換えることにより、今まで繰り返し行なわれたフィジカル設計を削減します。

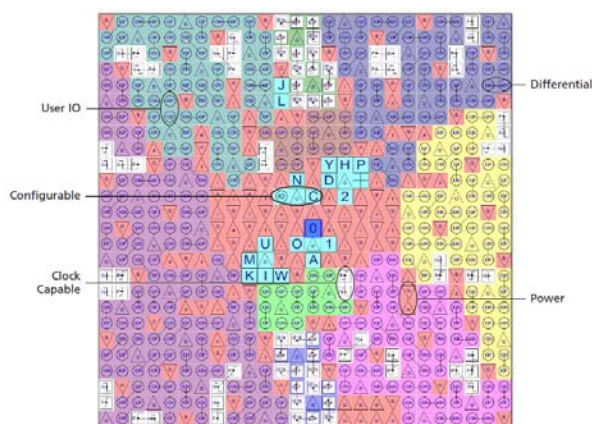


図 1: マルチ・バンク FPGA の I/O カラーマップ

PCB 上の大規模・多ピン FPGA の設計

今日の高性能な FPGA は、多くのアサインメント・ルールやコンフィギュラブル・ピンの種類が多様化し、より設計時間を要し、デザイン・サイクルが伸びています。FPGA のピン・アサインは、FPGA に接続されるクリティカルなコンポーネントの配置に気付かない中、手作業でピン 1 本ずつ行なわれることもあります。プリント基板上で配線のインパクトを理解しない FPGA を利用したプロジェクトではやむを得ず、プリント基板のレイヤを増やし、ピン・アサインを行なったり、要求を満たすピン・アサインを導くため、繰り返し作業を行なったりする傾向があります。

付加時間を伴う手作業アプローチによる FPGA のピン・アサインの作成において、ユーザは利用可能で異なる FPGA デバイスと FPGA サブ・システムで用意されたデバイス・コスト間のトレードオフを行うことはできません。

Allegro FPGA System Planner は、設計者が最適なピン・アサインを作成することの出来る FPGA-PCB 間の完全でスケラブルなソリューションを提供します。FPGA のピン・アサインは、インターフェース・ベースの配線性、FPGA ルール、PCB 基板での FPGA の配置といったユーザ定義の情報を基に自動的に合成されます。この配置を考慮に入れた自動ピン・アサイン・シンセシスにより、設計者は初期ピン・アサインを短時間で作成し、エラーを引き起こしやすいプロセスを避け、フィジカル・デザインの繰り返しを排除できます。

Allegro FPGA System Planner は、ケイデンスのデザイン・エントリー・ツールの Allegro Design Entry (HDL 及び CIS) や OrCAD Capture と統合され、Allegro Design Entry HDL や OrCAD Capture の回路シンボルの読み込みや作成が可能です。

さらに、フロアプラン・ビューは、Allegro PCB Editor や OrCAD PCB Designer の既存のフットプリント・ライブラリを使用します。レイアウトで配置変更した場合、Allegro FPGA System Planner を用いたピンの最適化情報は、Allegro PCB Editor から直接アクセスを行ないます。

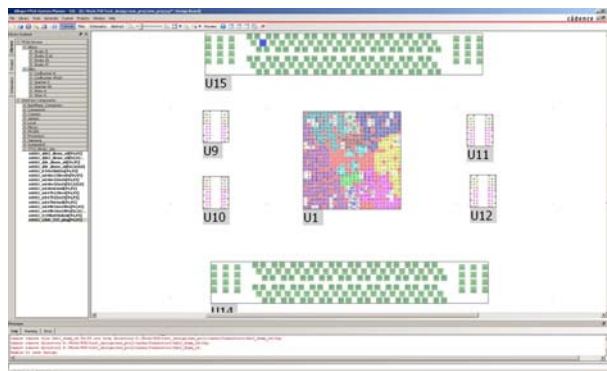


図 2: クリティカル・コンポーネントの相対的配置が可能なプレースメント/フロアプラン・ビューにより最適な合成環境を実現

利点

- スケーラブルで対費用効果に優れた FPGA-PCB コ・デザイン・ソリューション
- 最適な初期ピン・アサイン作成時間を短縮し、プリント基板設計のスケジュールを加速
- ケイデンスのデザイン・エントリー・ツール環境と FPGA のインテグレーションの加速
- PCB レイアウト間プロセスで不要な繰り返し作業の排除
- FPGA のピン・アサインのエラーによる不要なフィジカル・プロトタイプ of the繰り返しを排除
- 配置を意識したピン・アサインと最適化により、プリント基板レイヤ数を抑制

特長

ALLEGRO FPGA SYSTEM PLANNER テクノロジーの必要性

FPGA システムとは、1 つ、または複数の FPGA と非 FPGA コンポーネントを含み、それらが FPGA と接続されているプリント基板デザインのサブセットとして定義します。

従来のピン・アサインによるアプローチは、手作業での操作、或いはスプレッドシート・ベースで行なわれています。これらのツールは、設計者に他のコンポーネントの配置、インターフェース属性、信号の配線を考慮せずにピン・アサインさせることとなります。何よりも FPGA ピンにアサインされている信号に正しいピン・タイプが使用されているかを保証するオンライン・ルールチェックがありません。その結果、設計者は、FPGA ベンダのツールとスプレッドシート・ベースのツール間の度重なる繰り返し処理が必要になります。

しばしばレイヤ上で FPGA ピンから信号の配線ができないプリント基板設計者と、プリント基板設計者から示される紙や口頭ベースによるピン・アサインの提案を受け入れなければならない FPGA 設計者間での繰り返しが加わります。一度、FPGA 設計者によってピン・アサインが変更されると、回路図のピン・アサイン変更はハードウェア設計者により実行されなければならない、その繰り返しの長い時間を要します。また、手作業によるプロセスで検出できなかったミスは高価なフィジカル・プロトタイプ of the繰り返しをも引き起こします。

FPGA 設計者、ハードウェア設計者、PCB レイアウト設計者によって変更されたピン・アサインの同期自動化は有用ですが、繰り返しの減少にはなりません。FPGA リソースの有効性、FPGA ベンダのピン・アサイン・ルール、基板上の FPGA のピンからの配線といった、3 つの要素によって導かれないピン・アサインは、デザイン・プロセスの末端で繰り返いを多く必要とします。その結果、今日の複雑で大規模・多ピン FPGA をプリント基板で利用するには時間が掛かります。

インターフェース信号の定義

Allegro FPGA System Planner は、FPGA デバイスを選択、配置するために FPGA デバイス・ライブラリを備えています。Allegro FPGA System Planner のフロアプラン・ビューでは、Allegro PCB Editor や OrCAD PCB Designer のフットプリントを使用し、設計者が FPGA システム・コンポーネントの相対的な配置を迅速に作成することができます。

Allegro FPGA System Planner は、ユーザに FPGA サブ・システム内のコンポーネントの接続性をインターフェース属性定義により指定させます。ユーザは、DDR2、DDR3 や PCI Express などのインターフェース属性を作成することが可能で、FPGA とメモリ DIMM モジュール間や、2 つの FPGA 間の接続性を指定できます。さらに Allegro FPGA System Planner は、デフォルト信号、電源信号、クロック信号を認識します。

FPGA デバイス・ルール

Allegro FPGA System Planner は、FPGA デバイス・ベンダによって定義されたピン・アサイン・ルールや電気的ルールを組み込んだ正確な FPGA デバイス・ライブラリを備えています。これらの FPGA モデルを Allegro FPGA System Planner のシンセシス・エンジンが読み込み、FPGA ベンダが

定義した電気的・ルールを厳密に守りながら割り当てを行ないます。これらのルールは、クロックやクロック・リージョンの選択、バンク・アロケーション、SSO バジレット、バッファ・ドライバーの利用、IO 規格の電圧リファレンスなどに影響します。合成を行なうと、Allegro FPGA System Planner は、正確で最適な FPGA ピンとなるよう自動的にこれらのルールを何百という組み合わせでチェックします。

配置を考慮にいたれたピン・アサイン・シンセシス

Allegro FPGA System Planner は、Allegro PCB フットプリントを利用し、FPGA システムの配置を行なう手法を提供します。ユーザは、Allegro FPGA System Planner のプレースメント・ビューで、DDRx、PCI Express、SATA、フロントサイドバス等のインターフェースを使用し、コンポーネントと FPGA の間の接続性を短時間で定義できます。一度、サブ・システム中の FPGA と他のコンポーネントの接続性を定義すると、次にユーザのデザインの意図、利用可能な FPGA リソース、FPGA の周りのコンポーネント配置、FPGA ベンダのピン・アサイン・ルールを元に Allegro FPGA System Planner はピン・アサインを合成します。

Allegro FPGA System Planner には、ピン・アサイン、リファレンス電圧、ターミネーション用に FPGA ベンダから提供されたルールを組み込んだ DRC エンジンが組み込まれています。このエンジンにより、FPGA を常に正しく接続し、プリント基板フィジカル・プロトタイプのリターンを防止します。

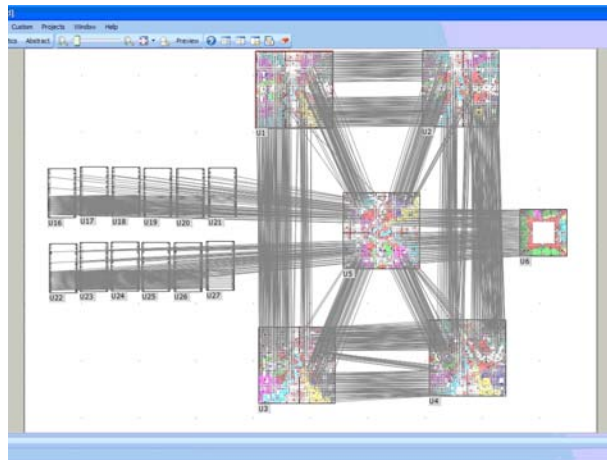


図 3: 複数の FPGA を同時に最適化

ピン・アサイン・アルゴリズムは、ピン・グループにインターフェース信号をアサインするために最適化されています。その結果、ネットのクロスオーバーを最小にし、プリント基板上の配線性を向上させます。

可能になった FPGA アーキテクチャの選択

デバイス選定時、FPGA 設計者は、可能な限りデバイスのコストを下げ、アプリケーションを満たすことができる FPGA を選択する手法を必要としています。FPGA のリソース要件を見積るには、設計者がルックアップテーブル(LUT)、高速 I/O 要件、メモリの低速信号 I/O とのバランスを取る必要があり、非常に難しい作業になります。複数の FPGA を選択することは、時に 1 つの大規模な FPGA を選択するより安いかもしれません。それ以外は基板スペースと配線チャンネルを節約するために、多ピン FPGA を選択することになるでしょう。

手作業によるピン・アサイン・アプローチでは、コストとパフォーマンスのトレードオフは大変時間が掛かる作業になります。配置を考慮した FPGA I/O ピン・アサイン・シンセシスにより、Allegro FPGA System Planner は、マニュアル・アプローチでは困難な最適アーキテクチャの確認を可能にし、設計者にトレードオフを迅速に行なう手助けをします。

FPGA を利用した ASIC プロトタイプピン

ASIC のプロトタイプに FPGA を利用するケースがあります。この場合、使用する FPGA の数が急激に増加し、全ての FPGA を配置するために複数のプリント基板を必要とすることもあります。

多数の FPGA に手作業プロセスを用いて初期ピン・アサインを行なう場合、非常に長い時間を費やします。更に、これらの FPGA の配置を考慮せずピン・アサインを行なうことは、プリント基板の配線に非常に長いプロセスを必要とし、ASIC の完成そのものを遅らせることになります。

Allegro FPGA System Planner は、正確な FPGA モデル・ライブラリと配置を意識したピン・アサイン・シンセシスを通して、多ピン FPGA のピン・アサイン作成にかかる時間を短縮します。Verilog-HDL の port 情報のエクスポート、Verilog ベースの接続性のインポート、RTL パーティショニング・ソフトウェアとの連携も可能です。

ケイデンス デザイン・エンタリー・ツールとの密接な統合

Allegro FPGA System Planner は、FPGA サブ・システムのために Allegro Design Entry HDL や Allegro Design Entry CIS の回路図を作成します。その際、既存の Allegro Design Entry シンボル・ライブラリの FPGA シンボルを使用します。必要であれば、接続性やバンク毎に分割シンボルを作成することができます。

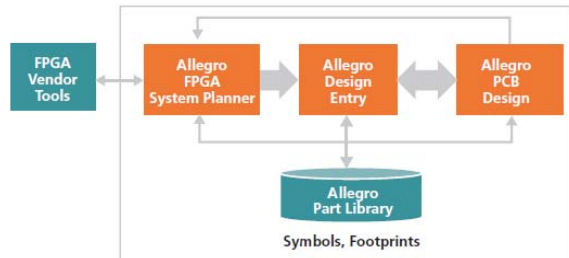


図 4: 既存ライブラリのシンボルやフットプリントが利用可能

FPGA ベンダのツールとの統合

ケイデンスの PCB デザイン・ツールとの統合に加え、Allegro FPGA System Planner は FPGA 設計ツールとシームレスなコミュニケーションを実現し、また、サポートする FPGA ベンダのピン・アサイン・コンストレイント・ファイルの作成、及び読み込みが可能です。この機能は、FPGA 設計者が要求する FPGA の機能に対するピン・アサインの評価を可能にします。これらの要件を満たすため FPGA 設計者によって加えられた変更は、ピン・アサインのセットを同期するため、Allegro FPGA System Planner にインポートすることが可能となっています。

プリ配線ピン・アサインの最適化

プリント基板上の FPGA 配置と配線性を満たす迅速な初期ピン・アサインの作成は、FPGA 設計者、PCB 設計者、そしてハードウェア設計者間の繰り返し設計コストの削減に貢献します。PCB 設計者が FPGA のインターフェース、及び信号の配線検討を始めると、配線の意図、レイヤ・コンストレイント、ファンアウトから FPGA のピン・アサインを更に改善することが可能です。

Allegro FPGA System Planner は、プリ配線時だけでなく、部品の配置後や FPGA のインターフェースと信号を配線している時であっても、FPGA のピン・アサインを最適化する手法をユーザに提供します。

	OrCAD FPGA System Planner	Allegro FPGA System Planner L	Allegro FPGA System Planner Two FPGA Option	Allegro FPGA System Planner XL	Allegro FPGA System Planner GXL
Concurrent device optimization	1 FPGA	1 FPGA	2 FGAs	4 FGAs	Unlimited FGAs
Placement-aware synthesis	Yes	Yes	Yes	Yes	Yes
Reuse symbols and footprints	Yes	Yes	Yes	Yes	Yes
Symbols & schematic generation	OrCAD Capture	Allegro Design Entry CIS / Allegro Design Entry HDL	Allegro Design Entry CIS / Allegro Design Entry HDL	Allegro Design Entry CIS / Allegro Design Entry HDL	Allegro Design Entry CIS / Allegro Design Entry HDL
Post-placement optimization	No	Yes	Yes	Yes	Yes
Schematic power connections	No	Yes	Yes	Yes	Yes
Schematic terminations	No	Yes	Yes	Yes	Yes

cadence

日本ケイデンス・デザイン・システムズ社

本社 / 〒222-0033 神奈川県横浜市港北区新横浜 2-100-45

営業本部

TEL: (045)475-8410 FAX: (045)475-8415

〒541-0054 大阪府大阪市中央区南本町 2-6-12 サンマリオン NBF タワー16F

TEL: (06)6121-8095 FAX: (06)6121-7510

URL <http://www.cadence.co.jp/>

* © 2010 Cadence Design Systems, Inc. All rights reserved worldwide.
CadenceおよびCadenceロゴは、Cadence Design Systems, Inc.の登録商標です。
その他記載されている製品名および会社名は、各社の商標または登録商標です。
* 掲載の内容は、2010年3月現在のものです。