

Global Route Environmentは、これまでの設計ツールに比べ、効率性、生産性の向上を通して、設計サイクル時間を削減し、ユーザによりスピーディーな配線ソリューションを提供します。(図2参照)

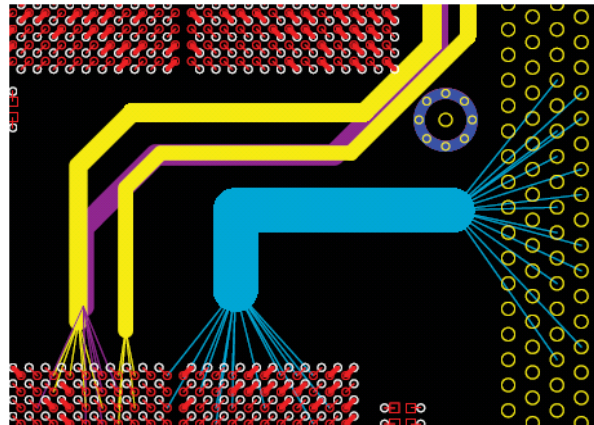


図2: インターコネクティブ・フロープランニングは、ユーザに厳しい制約事項を持つPCBデザインや高密度配線に対して、配線エンジンを利用することで短時間での検証を可能とする階層フロー環境を提供します。

DESIGN PARTITIONING (Option)

設計チームが世界中に分散する中、設計サイクル時間の短縮に関連する問題はますます増大しています。マルチユーザの問題に対する手作業による回避策は、時間がかかり、遅く、そしてエラーが生じ易くなります。Allegro PCBのデザイン・パーティショニング・テクノロジーは、マルチユーザ、コンカレント・デザイン・メソッドを提供し、設計時間の短縮と、time to marketの加速を実現します。同時に設計作業に取り組んでいる多数の設計者が、チームの近接に関わらず、一つのデータベースへのアクセスを共有します。設計者は、複数の設計チームメンバーによってレイアウトと編集を行うことができます。デザインは、ソフトバウンダリによるセクション分割、或いは、レイヤー分割を行うことができます。結果として、それぞれの設計者は、すべての分割されたセクションを見ることができ、そして、他のユーザのセクションの状況と進捗をモニタリングするために、設計の更新を行うことができます。このようにパーティショニングは、設計サイクル全体を劇的に短縮させ、設計プロセスを加速します。

INTERACTIVE ETCH EDITING

隣接する配線を自動で押しつけ/幅寄せ、配線時のリアルタイムDRC表示、等長、差動配線機能等により効率的な配線作業が可能です。また、インタラクティブ配線は、複数ネットのグループ配線や線長、遅延制約を持つネットへのチューニングを可能にします。(図3参照)

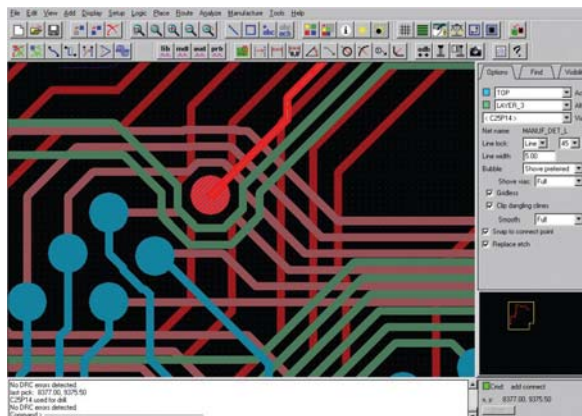


図3: ダイナミック・プッシュ&ショープ機能は、容易な編集作業をサポートします。

DYNAMIC SHAPE

ダイナミックシェイプ機能は、リアルタイムでの銅箔の抜き/塗りつぶし機能を提供します。シェイプパラメーターは3つのレベルに適用することができ、グローバル、シェイプインスタンス、そしてオブジェクトレベルの階層をサポートします。ダイナミックシェイプに追加されたトレース、ビア、部品によって、自動的にシェイプの抜きを行います。また、それらが削除された場合は、自動的にシェイプの塗りこみを行います。

RF DESIGN (Option)

高性能、或いは高周波数回路に関連する設計要求は、より速く、よりいっそう正確に設計する必要があります。RF/mixed-signalテクノロジーは、PCB RF設計に対して、スキマティックからレイアウト、マニファクトチャリングまでの完全なfront-to-backソリューションを提供します。RFテクノロジーは、パラメトリックなRFジオメトリの作成、編集や、柔軟なシェイプ編集を含むインテリジェントなレイアウト機能を提供します。双方向の中間ファイル形式(IFF)インターフェースが、シミュレーションと検証に対して、RF回路データの高速で、効率的な転送を提供します。この双方向フローは、回路シミュレーションとレイアウト間のマニュアル操作やエラーが起りがちなイタレーションを低減します。(図4参照)

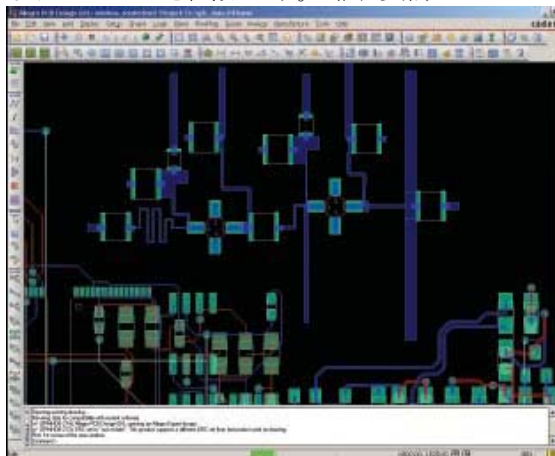


図4: PCB RFデザインに対する完全なfront-to-backソリューション

PCB MANUFACTURING

フォトツール、ベアボード製造、テスト出力向けに必要な Gerber 274x、NCドリル、ベアボードテストなど多種のデータフォーマット出力をサポートします。

また、Valor ODB++インターフェースを通じ、業界が進めるガーバーレス製造に貢献します。このサポートには、Valor Universal Viewerも含まれています。ODB++データフォーマットは高品質のガーバーレス製造に対する正確な、そして信頼性の高い製造データを作成します。

PCB AUTOROUTERテクノロジー

AUTOROUTING

アドバンスト・オートルーター・テクノロジーは、速く、収束性の高いシェーブベース・オート・ルーティングを提供します。その配線アルゴリズムは、多様なPCB配線に対応できるように設計されています。これらの強力なアルゴリズムは、配線領域を最も効率的に利用します。それぞれの事例に最も良い配線結果を導くために、ルーターはマルチパス、コストベース、コンフリクト解決型のアルゴリズムを利用します。ルールセットは、さまざまなルーティング要素を処理する柔軟性を持っています。(図5参照)

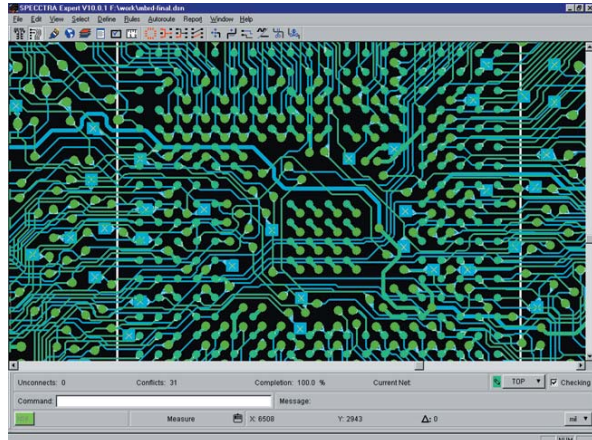


図5: アドバンスト・オートルーター・テクノロジーは、効果的に高密度、高コンストリントのデザインをサポートします。

DESIGN FOR MANUFACTURING

製造性を考慮し、空きスペースを利用して自動的に導体クアラランスを広げることができます。また、テストポイントの生成、配線コーナーのマイター機能を提供します。

PLACEMENT EDITOR

ブレースメント・エディタは、配線作業前にコンポーネントを配置スペースにすばやく配置し、ロジックフローに沿った部品配置スペース評価、実配置作業をサポートします。

HIGH-SPEED CONSTRAINTS

今日の高速度回路に要求される、差動ペア、ネットスケジューリング、タイミング、クロストーク、レイヤーセトルルーティングなどの多くの制約条件を制御する機能を有しています。

ドキュメンテーション

ケイデンスのツールは、ユーザ・ガイド、ヘルプ(F1)、リファレンスガイド、オンラインチュートリアルとマルチメディアのデモンストレーションを含むドキュメンテーションセットを提供します。

ドキュメンテーションセットが提供するヘルプ:

- オンライン対話型チュートリアル利用によるツール学習
- オンラインヘルプシステムによって、必要な回答検索
- ハイパーテキスト・クロスリファレンスで関連したトピック間を素早くナビゲート
- エラーと警告のに関するインフォメーション検索

オペレーティング・システムのサポート

Allegro platform technology:

- Sun Solaris
- Linux
- IBM AIX
- Windows

OrCAD technology:

- Windows

cadence®

日本ケイデンス・デザイン・システムズ社

本社 / 〒222-0033 神奈川県横浜市港北区新横浜 2-100-45

営業本部

TEL: (045)475-8410 FAX: (045)475-8415

〒541-0054 大阪府大阪市中央区南本町 2-6-12 サンマリオン NBF タワー16F

TEL: (06)6121-8095 FAX: (06)6121-7510

URL <http://www.cadence.co.jp/>

* © 2010 Cadence Design Systems, Inc. All rights reserved worldwide.
CadenceおよびCadenceロゴは、Cadence Design Systems, Inc.の登録商標です。
その他記載されている製品名および会社名は、各社の商標または登録商標です。
* 掲載の内容は、2010年3月現在のものです。