

# ALLEGRO PCB SI AND POWER INTEGRITY

Cadence® Allegro PCB SIは、高速プリント基板やシステム設計を行うための解析環境です。回路設計者はAllegro PCB SIを使用することで、設計サイクルのあらゆるステージにおいて、電氣的パフォーマンスに関わる問題を探索し、解決することができます。タイミング、信号整合、クロストーク、電源供給、そしてEMIなどについて探索し、トレードオフすることにより、電氣的パフォーマンスや信頼性を基板のレイアウト前に最適化することができます。

## Cadence® PCB signal integrity (SI) and power integrity (PI)

Cadence® PCB signal integrity (SI)とpower integrity (PI)は、スケーラブルで費用対効果の高い、プリ/ポスト・レイアウトシステム・インターコネクト・デザインと解析環境を提供します。これら製品は、ボード、システムレベルにおいて、高度な解析を実現します。ケイデンスのPCB SIとPI製品は、Cadence PCB editors, Cadence Allegro® PCB Router, Allegro Design Entry HDL, そしてAllegro System Architectとのタイトなインテグレーションにより、コンストレイント・ドリブンのハイスピードPCBシステム・デザイン機能を提供します。

ケイデンスのPCB SIは、設計者が設計プロセスを通じてハイスピードの問題を取り扱うことができるようにすることで、増加する設計密度、高速のデータ・スループットと製品設計スケジュールの短縮によって引き起こされたデザイン・チャレンジに対処します。このアプローチにより、設計チームは設計プロセスのバックエンドにおいて時間のかかる繰り返しの排除することができます。それは同様に、全体的な製品コストの最小化を行いながら電氣的パフォーマンスの向上を提供します。加えて、製造公差を含むモデルで構成されたトポロジによる解析は、エンジニアに製品歩留まりの改善を実現します。

ケイデンスのPCB SIは、高度に統合化された設計と解析環境を提供することにより、シミュレーションの実行に伴うデザイン・データベースの変換を不要とします。設計者が、Die to Dieのシグナル全体のパフォーマンスに対するパッケージ・デザインの効果を考慮することによって、同じく縮小しているタイミングバジェットを正確に取り扱うことができます。

## KEY CAPABILITIES

- 高度に統合化された設計と解析環境により、エラーが起りがちで時間を要する設計・データベース変換の必要をなくします。
- プリ配線解析デザインメソッドロジは、一貫した front-to-back コンストレイント・マネージメント・システムを通してポスト配線の設計検証を合理化します。
- 電源の安定性と供給が、DC/AC電源解析を通して最適化されます。
- シリアル・リンク・デザイン・メソッドロジは、最新の業界標準 IBIS-AMIに準拠するSerDesモデルを利用し、詳細な百万ビットシミュレーションを提供します。
- 複雑なソース・シンクロナス・パラレルインターフェースのタイミングバジェットは、最適化されたバス解析ソリューションにより効率的に検証されます。

## FEATURES

### INTEGRATED HIGH-SPEED DESIGN AND ANALYSIS

設計データベース変換の問題リスクを回避するため、Allegro PCB SIはシームレスにAllegro PCB Editorと統合され、ボード・デザイン・ファイル内にコンストレイントとモデルを組み込みます。(図1参照)

統合されたデザインと解析システムは、論理的なデザイン・オーサリングからフィジカルインプリメンテーションまで、マルチネットの電気リカル構造を理解します。例えば、ダイファレンシャル・ペアとエクステンド・ネット(シリーズターミネーションを持つネット)が識別、抽出され、そしてスケマティック、或いはレイアウトの何れからでも1つの電気リカルネットとして解析されます。

SigXplorerモジュールは、スキマティック、或いはレイアウト設計ツールに統合され、実際のデザイン変更を必用とせず、複雑なトポロジをwhat-ifで修正することができるように、I/Oバッファ、トランSMISSIONライン、そしてビアのグラフィックビューを提供します。SigXplorerは、トポロジ・ソリューション・スペース内で種々のパラメータのスweepを実現し、コンストレイント・マネージメント・システムに反映させ、そしてPCB設計者を、1度の設計で電氣的特性コンプライアンスに導きます。

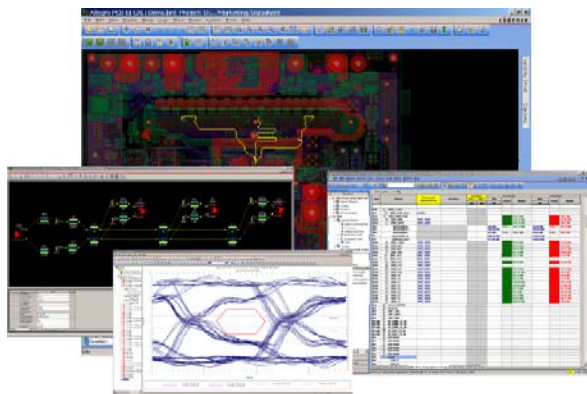


図1: フィジカルボードから選択された信号の解析や、SigXplorerモジュールへのトポロジ抽出はデータベース変換を必要としません。解析結果は、Allegro PCB Editorによって利用されるコンストレイントマネージャーにレポートされます。カップルド・ディファレンシャルペアとディスクリート部品(x-nets)は自動的に識別され、解析/抽出されます。

## CONSTRAINT-DRIVEN DESIGN METHODOLOGY

ケイデンスのPCB SIテクノロジーは、Allegro PCB Design Suiteのコンストレイント・マネージメント・システムでシームレスに動作します。シミュレーションを通して得られるコンストレイントは、トポロジ・キャンパス、SigXplorerから電気的・コンストレイント・セット(Electrical Constraint Set: EC Set)に割り当てることができます。これらのEC Setは、Allegro PCB SI、Allegro Design Entry HDL、そしてAllegro PCB Design内のコンストレイント・マネージメント・システムを通して、設計中のネットに適用させることができます。設計者は、シミュレーションを通して得たコンストレイントを利用することができ、“front to backコンストレイント・ドリブン”設計プロセスを可能にすることができます。(図2参照)

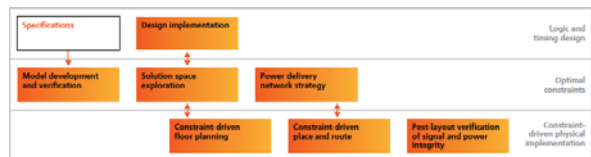


図2: Allegro PCB SIとPCB PI optionは、コンストレイント・ドリブン・デザインフロー内で最適なコンストレイントの取得と電源デカップリング戦略の検討をサポートします。

## POWER INTEGRITY

Allegro PCB SIは、DCとAC両方のパワー・インテグリティ解析機能を特徴としています。Allegro PCB SIは、給電システムがドライブ信号に十分な電流を供給することができることを確かめるスタティックIRドロップ(DC)解析技術を含みます。解析は、トレースのネックダウン、高密度なピングリッドアレイにより作成された大量のクリアランスを含むプレーン、そして電源プレーン層上のトレース配線による電源プレーン面積の縮小による効果を検証します。解析は、同一ネットの複数のグランドプレーンを結ぶ全てのビアを考慮します。結果は、グラフィカル・ボルテージ・ドロップ・ディスプレイ(図3参照)、或いは、シンクとしてマークされたピンのボルテージ・ドロップ・レポートが可能です。ユーザは、ネット上のあらゆる点の相対/絶対ボルテージ・ドロップを見ることができます。

ACパワー・インテグリティは、Allegro PCB SIのオプションのAllegro PCB PIでサポートされます。ユニークで統合化された設計と解析環境は、給電システムのノイズ制御と推測を行います。エンジニアは、CADシステムと解析エンジン間のデータベース変換の問題に苦勞することなく、設計に注視することができます。Allegro PCB PIは、ケイデンスの設計内に、サン・マイクロシステムズ社で既の実証されたテクノロジーにより、ハイスピード設計に伴う給電問題に対処するための解析環境を統合します。

周波数ドメイン・シミュレーションは、ユーザに対象の周波数範囲での給電システムのインピーダンスの定量化を提供します。加えて、デカップリング・キャパシタ選択の効果と配置をタイムドメインで検証することが可能で、ボルテージリプルを測定し、最適化を行うことができます。

チップの電流プロファイルにより、Allegro PCB PIでのターゲットインピーダンス特性を正確に示します。加えて、周波数、或いはタイムドメイン・シミュレーションを行なうためにボード上の2次元プレーン構造上の任意のポジションにパッケージのインダクタンスやチップ上のキャパシタンス、

または、パッケージとダイ(Die)間の給電モデルを割り当てることができます。

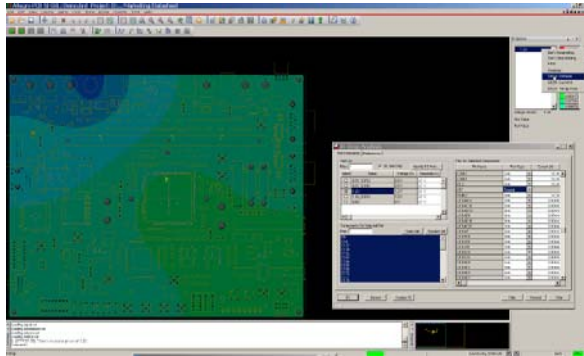


図3: スタティックIRドロップは、シグナルインテグリティ解析と同一ユーザインターフェースの中で実行できます。エンジニアは、単一環境からシグナルインテグリティ、パワーインテグリティの検証を行うことができます。

## SERIAL LINK DESIGN METHODOLOGY

エンジニアが今日の高速なデータ・スループットへの対応要求に直面するとき、インターフェースのそれぞれのセクションはより複雑になります。トランシーバーでは、ダイナミック・イコライゼーションやクロック・データ・リカバリー・アルゴリズムなど先進的なモデリング・テクニックを必用とします。Dieからパッケージ・ピンへのインターコネクト特性を正確に示すためには、SパラメータのICパッケージモデルが使用されなければなりません。そしてPCB構造は、ブロードバンドのSパラメータにより、信号損失、周波数依存性を持つ材質、そしてインピーダンスの不連続性がすべて正確に表されるよう、慎重に表現されなければなりません。

Allegro PCB SIは、統合されたフィールドソルバ(2DフルウェーブFEM)、SerDes信号処理を記述するIBIS 5.0 アルゴリズムック・モデル・インターフェース(AMI)スタンダードのサポート、そして正確な解析ビア・モデリング(narrowband、wideband、Sパラメータ)を特徴とします。

Allegro PCB SIは、シリアルリンク・デザインとコンプライアンス・テストのための統合された正確なソリューションです。それは、Die to Dieを正確にモデリングする能力と、大容量(数百万ビット)シミュレーション、及びPCI ExpressやSerial ATAのような業界標準プロトコルの電気的・コンプライアンスを確認するための統計解析テクニックとを兼ね備えます。

バスタブ・カーブと共に、コンプライアンス・アイマスクを重ねたアイダイアグラムは、インターフェース・コンプライアンスに対し、エンジニアが測定しなければならない波形観測オプションのひとつです。(図4参照)

Allegro PCB SIを利用することで、エンジニアは半導体やSerDesベンダによって供給された専用ツールよりも徹底的に、さらに効率的にシリアルリンク分析を行なうことができます。

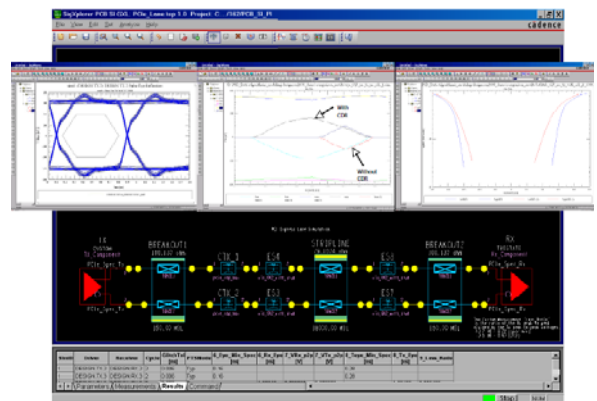


図4: マルチギガビットのシリアルリンクは、アイマスクの利用、アルゴリズムック・トランシーバーモデル(IBIS-AMI)、そして大容量(数百万ビット)シミュレーションを通して、PCI Express 2.0のようなインターフェース・スタンダードに準拠しているかどうかを確認されます。

## SOURCE SYNCHRONOUS BUS ANALYSIS METHODOLOGY

Allegro PCB SIは、ソース・シンクロナス・バスとして結び付けられる全ての信号のポスト・レイアウト解析を実現するために、素早く、そして容易なメソッドを提供します。それはオン・ダイ・ターミネーション(on-die termination:ODT)の有無を含む、ソース・シンクロナス・バスの種々のコンフィギュレーション(read/write, active, idle)の解析時間を短縮します。Allegro PCB SIソリューションでは、信号へのソース・シンクロナス・バスとしての関連づけや相関関係を、設計データベースにセーブすることを可能にします。

ユーザは、反射解析やクロストークを含む広範囲な解析を行なうという選択が可能です。Allegro PCB SIはソース・シンクロナス・バス内の個別の信号種に対して、ユーザ定義のディレーティング・テーブルにより、セットアップ・ホールド・マージンのディレートを可能にします。(図5参照)

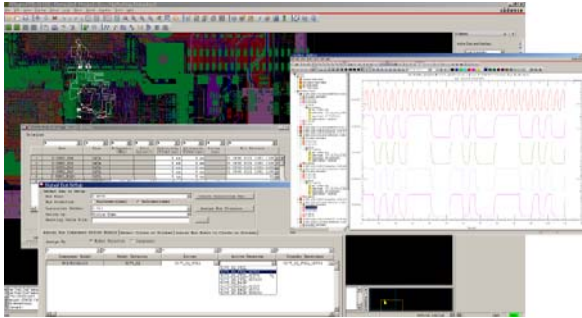


図 5: エンジニアは不要なシミュレーションを排除しながら、配線されたソース・シンクロナス・バス信号 (e.g. DDR3) のタイミング要求を確認することができます。効率的なポスト配線バス解析が、重要なプロジェクトの期限遵守をサポートします。

## ADDITIONAL FEATURES

**Estimated crosstalk.** クロストークのバジェットを維持しながら手配線、もしくは自動配線を行うためのクロストーク・テーブルを作成することにより、ユーザは配線に必要な層数を削減することができます。

### Design link (package-board or multi-board).

Allegro PCB SI デザイン・リンク・テクノロジーにより、複数の PCB と IC パッケージ・デザインからのインターコネクタが結合され、IC パッケージ、ボード、そしてコネクタを通る、“Die to Die” 解析を実現します。

**EMI analysis and rule checking.** ルール・チェックエンジン、EMControl によるシングル/カップル・ネット EMI シミュレーションを提供し、エンジニアの EM コンプライアンスに対する設計をサポートします。

**Model integrity.** ユーザは、使い易い編集環境で素早くモデルを作成し、操作し、そして検証することができます。IBIS、Spectre、Mentor/Quad XTK と Synopsys HSPICE (HSPICE は Allegro PCB SI には含まれない為、HSPICE シミュレータとライセンスが別途必用です) をサポートします。

**PCB Design Planner option.** エンジニアは、このフロアプランニング・オプションを利用し (論理的なデザイン・オーサリング・ツールと協力して使用することで)、配置戦略を評価し、そしてコンストレイントをフロントエンドの設計データベースに入れ込むことで、設計意図を割り当てることができます。

**Resource Library.** cadence.com (Products & Solutions > PCB Design > Resource Library) を訪問することによって、テクニカルペーパー、design-in IP (例えば、PCI Express や DDR2 など) や動画などの広範囲なライブラリが利用可能です。

**Mentor Board Station flow.** Mentor Board Station との双方向インターフェースは、Allegro PCB SI による解析と配線を可能とし、既存のマニュファクチャリング出力プロセスが維持されるように Mentor Board Station 環境に最終結果を戻すことができます。

## DOCUMENTATION

ケイデンスのツールは、ユーザ・ガイド、ヘルプ (F1)、リファレンスガイド、オンラインチュートリアルとマルチメディアのデモンストレーションを含むドキュメンテーションセットを提供します。

## OPERATING SYSTEM SUPPORT

### Allegro platform technology:

- Sun Solaris
- Linux
- IBM AIX
- Windows

### OrCAD technology:

- Windows

## MAJOR FEATURE SUMMARY FOR ALLEGRO PCB SI PRODUCTS

	OrCAD Signal Explorer	Allegro PCB SI L	Allegro PCB SI XL	Allegro PCB SI GXL
IBIS 4.2 サポート	●	●	●	●
IBIS ICM モデル・サポート	●	●	●	●
グラフィカル・トポロジ・エディタ	●	●	●	●
有損失伝送線路	●	●	●	●
結合ネット(3 ネットまで)シミュレーション	●	●	●	●
差動信号トポロジ作成とシミュレーション	●	●	●	●
カスタム・スティミュラス		●	●	●
クロストーク・テーブル生成		●	●	●
Allegro Physical Viewer		●	●	●
Allegro PCB Editor から差動信号トポロジーの抽出		●	●	●
Allegro PCB Editor からクロストーク・シミュレーション		●	●	●
HSPICE インターフェース		SI Performance	●	●
包括シミュレーション		SI Performance	●	●
スイープ・シミュレーション		SI Performance	●	●
Wide band 解析ビア・モデル生成		SI Performance	●	●
トポロジーの適用		Design Planner	●	●
コンストレイント・ドリブンのフロアプランと部品配置		Design Planner	●	●
Allegro Constraint Manager		Design Planner	●	●
結合ネット(6 ネットまで)シミュレーション		S-Param/SerLink	●	●
Spectre transistor-level モデルサポート			●	●
ソースシンクロナス・パス解析			●	●
バッチ・シミュレーション			●	●
EM Control:ルール開発			●	●
EM Control:ルールチェック			●	●
EMI ディファレンシャル・シミュレーション			●	●
コンストレイント・ドリブン配線			●	●
Allegro PCB Router XL			●	●
Static IR drop 解析			●	●
同時スイッチング・ノイズ解析			●	●
Stack-up からの S-parameter 生成		S-Parameter	S-Parameter	●
SigWave による S-parameter プロット		S-Parameter	S-Parameter	●
S-parameter の時間領域シミュレーション		S-Parameter	S-Parameter	●
プリ・レイアウト探索のための結合ビア・モデル生成		S-Parameter	S-Parameter	●
ハイキャパシティ・チャンネル・シミュレーション		Serial Link	Serial Link	●
BER 予測		Serial Link	Serial Link	●
バスタブ・カーブ		Serial Link	Serial Link	●
電源プレーン・インピーダンスの周波数領域解析		PI Option	PI Option	PI Option
電源プレーンの電圧リップル		PI Option	PI Option	PI Option

Notes: SI Performance: Allegro PCB SI Performance Option  
 S-Parameters: Allegro PCB SI S-Parameter Option  
 Serial Link: Allegro PCB SI Serial Link Option  
 PI Option: Allegro PCB PI Option  
 Design Planner: Allegro PCB Design Planner Option

**cadence**

日本ケイデンス・デザイン・システムズ社

本社 / 〒222-0033 神奈川県横浜市港北区新横浜 2-100-45  
 営業本部  
 TEL.(045)475-8410 FAX.(045)475-8415 URL <http://www.cadence.co.jp/>  
 〒541-0054 大阪府大阪市中央区南本町 2-6-12 サンマリオン NBF タワー16F  
 TEL.(06)6121-8095 FAX.(06)6121-7510



販売代理店 **イノテック株式会社** IC ソリューション本部

〒222-8580 神奈川県横浜市港北区新横浜 3-17-6  
 TEL.(045)474-2290,2291,2293(営) FAX.(045)474-2395  
 URL <http://www.innotech.co.jp/>  
 〒541-0054 大阪府大阪市中央区南本町 2-6-12 サンマリオン NBF タワー16F  
 TEL. (06)6121-7703(営) FAX. (06)6121-7720

\* 記載の各製品等は登録商標です。  
 \* 掲載の内容は、2009年12月現在のものです。