

ALLEGRO PCB SIGNAL AND POWER INTEGRITY

Cadence® Allegro PCB SIは、高速プリント基板やシステム設計を行うための解析環境です。回路設計者はAllegro PCB SIを使用することで、設計サイクルのあらゆるステージにおいて、電氣的パフォーマンスに関わる問題を探索し、解決することができます。タイミング、信号整合、クロストーク、電源供給、そしてEMIなどについて探索し、トレードオフすることにより、電氣的パフォーマンスや信頼性を基板のレイアウト前に最適化することができます。

CADENCE PCB SIGNAL INTEGRITY (SI) AND POWER INTEGRITY (PI)

ケイデンスのPCB signal integrity (SI)とpower integrity (PI)は、スケーラブルで費用対効果の高い、プリ/ポスト・レイアウト システム・インターコネクト・デザインと解析環境を提供します。これらの製品は、ボード、システムレベルにおいて、高度な解析を実現します。ケイデンスのPCB SIとPI製品は、PCB editors、Allegro® PCB Router、Allegro Design Entry HDL、そしてAllegro System Architectとのタイトなインテグレーションにより、コンストレイント・ドリブンのハイスピードPCBシステム・デザイン機能を提供します。

ケイデンスのPCB SIは、設計者が設計プロセスを通じてハイスピードの問題を取り扱うことができるようにすることで、増加する設計密度、高速のデータ・スループットと製品設計スケジュールの短縮によって引き起こされたデザイン・チャレンジに対処します。このアプローチにより、設計チームは設計プロセスのバックエンドにおいて時間のかかる繰り返しの排除することができます。それは同様に、全体的な製品コストの最小化を行いながら電氣的パフォーマンスの向上を提供します。加えて、製造公差を含むモデルで構成されたトポロジによる解析は、エンジニアに製品歩留まりの改善を実現します。

ケイデンスのPCB SIは、高度に統合化された設計と解析環境を提供することにより、シミュレーションの実行に伴うデザイン・データベースの変換を不要とします。設計者が、Die to Dieのシグナル全体のパフォーマンスに対するパッケージ・デザインの効果を考慮することによって、同じく縮小しているタイミング・バジェットを正確に取り扱うことができます。

主要な機能

- 高度に統合化された設計と解析環境により、エラーが起りがちで時間を要する設計・データベース変換の必要をなくします。
- プリ配線解析デザインメソドロジーは、一貫した front-to-back コンストレイント・マネージメント・システムを通してポスト配線の設計検証を合理化します。
- 電源の安定性と供給が、DC/AC電源解析を通して最適化されます。
- シリアル・リンク・デザイン・メソドロジーは、最新の業界標準 IBIS-AMIに準拠するSerDesモデルを利用し、詳細な百万ビットシミュレーションを提供します。
- 複雑なソース・シンクロナス・パラレル・インターフェースのタイミング・バジェットは、最適化されたバス解析ソリューションにより効率的に検証されます。

特長

INTEGRATED HIGH-SPEED DESIGN AND ANALYSIS

設計データベース変換の問題リスクを回避するため、Allegro PCB SIはシームレスにAllegro PCB Editorと統合され、ボード・デザイン・ファイル内にコンストレイントとモデルを組み込みます。(図1参照)

統合されたデザインと解析システムは、論理的なデザイン・オーサリングからフィジカル・インプリメンテーションまで、マルチネットの電気的構造を理解します。例えば、ダイファレンシャル・ペアとエクステンド・ネット(シリーズターミネーションを持つネット)が識別、抽出され、そしてスキマティック、或いはレイアウトの何れからでも1つの電気的ネットとして解析されます。

SigXplorerモジュールは、スキマティック、或いはレイアウト設計ツールに統合され、実際のデザイン変更を必用とせず、複雑な配線トポロジをwhat-ifで修正することができるように、I/Oバッファ、トランスミッション・ライン、そしてビアのグラフィック・ビューを提供します。SigXplorerは、トポロジ・ソリューション・スペース内で種々のパラメータのスイープ解析を実現し、解析結果をコンストレイント・マネージメント・システムに反映させ、そしてPCB設計者を、1度の設計で電気的特性コンプライアンスに導きます。



図 1: フィジカルボードから選択された信号の解析や、SigXplorerモジュールへのトポロジ抽出はデータベース変換を必要としません。解析結果は、Allegro PCB Editorによって利用されるコンストレイントマネージャーにレポートされます。カップルド・ディファレンシャルペアとディスクリート部品 (x-nets) は自動的に識別され、解析/抽出されます。

CONSTRAINT-DRIVEN DESIGN METHODOLOGY

ケイデンスのPCB SIテクノロジーは、Allegro PCB Design Suiteのコンストレイント・マネージメント・システムでシームレスに動作します。シミュレーションを通して得られるコンストレイントは、トポロジ・キャンパス、SigXplorerから電気的・コンストレイント・セット(Electrical Constraint Set: EC Set)に割り当てることができます。これらのEC Setは、Allegro PCB SI、Allegro Design Entry HDL、そしてAllegro PCB Design内のコンストレイント・マネージメント・システムを通して、設計中のネットに適用させることができます。設計者は、シミュレーションを通して得たコンストレイントを利用することができ、“front to backコンストレイント・ドリブン”設計プロセスを可能にすることができます。(図 2 参照)

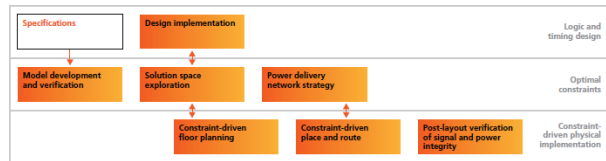


図 2: Allegro PCB SIとPCB PI optionは、コンストレイント・ドリブン・デザインフロー内での最適なコンストレイントの取得と電源デカップリング戦略の検討をサポートします。

POWER INTEGRITY

Allegro PCB SIは、DCとAC両方のパワー・インテグリティ解析機能の特徴としています。Allegro PCB SIは、給電システムがドライブ信号に十分な電流を供給することができることを確かめるスタティックIRドロップ(DC)解析技術を含みます。解析は、トレースのネックダウン、高密度なピングリッドアレイにより作成された大量のクリアランスを含むプレーン、そして電源プレーン層上のトレース配線による電源プレーン面積の縮小による効果を検証します。解析は、同一ネットの複数のグランドプレーンを結ぶ全てのビアを考慮します。結果は、グラフィカル・ボルテージ・ドロップ・ディスプレイ(図 3 参照)、或いは、シンクとしてマークされたピンのボルテージ・ドロップ・レポートが可能です。ユーザは、ネット上のあらゆる点の相対/絶対ボルテージ・ドロップを見ることができます。

ACパワー・インテグリティは、Allegro PCB SIのオプションのAllegro PCB PIでサポートされます。ユニークで統合化された設計と解析環境は、給電システムのノイズ制御と推測を行います。エンジニアは、CADシステムと解析エンジン間のデータベース変換の問題に苦勞することなく、設計に注力することができます。Allegro PCB PIは、サーバーの解析用にサン・マイクロシステムズ社で開発実証されたテクノロジーを組み込み、ハイスピード設計に伴う給電問題に対処しました。

周波数ドメイン・シミュレーションは、ユーザに対象の周波数範囲での給電システムのインピーダンスの定量化を提供します。加えて、デカップリング・キャパシタ選択の効果と配置をタイムドメインで検証することが可能で、ボルテージリップルを測定し、最適化を行うことができます。

チップの電流プロファイルにより、Allegro PCB PIでのターゲット・インピーダンス特性を正確に示します。加えて、周波数、或いはタイムドメイン・シミュレーションを行なうためにボード上の2次元プレーン構造上の任意のポジションにパッケージのインダクタンスやチップ上のキャパシタンス、

または、パッケージとダイ(Die)間の給電モデルを割り当てることができます。

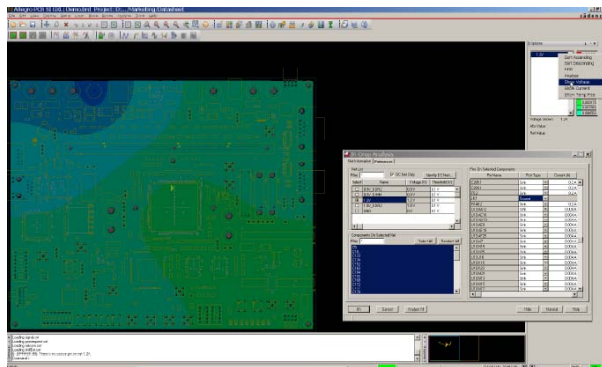


図3: スタティックIRドロップは、シグナルインテグリティ解析と同一ユーザインターフェースの中で実行できます。エンジニアは、単一環境からシグナルインテグリティ、パワー・インテグリティの検証を行うことができます。

SERIAL LINK DESIGN METHODOLOGY

エンジニアが今日の高速なデータ・スループットへの対応要求に直面するとき、インターフェースのそれぞれのセクションはより複雑になります。トランシーバでは、ダイナミック・イコライゼーションやクロック・データ・リカバリー・アルゴリズムなど先進的なモデリング・テクニックを必要とします。Dieからパッケージ・ピンへのインターコネクト特性を正確に示すためには、SパラメータのICパッケージモデルが使用されなければなりません。そしてPCB構造は、ブロードバンドのSパラメータにより、信号損失、周波数依存性を持つ材質、そしてインピーダンスの不連続性がすべて正確に表されるよう、慎重に表現されなければなりません。Allegro PCB SIは、統合されたフィールド・ソルバ(2DフルウェーブFEM)、SerDes信号処理を記述するIBIS 5.0 アルゴリズムック・モデル・インターフェース(AMI)スタンダードのサポート、そして正確な解析ピア・モデリング(narrowband、wideband、Sパラメータ)を特徴とします。

Allegro PCB SIは、シリアルリンク・デザインとコンプライアンス・テストのための統合された正確なソリューションです。それは、Die to Dieを正確にモデリングする能力と、大容量(数百万ビット)シミュレーション、及びPCI ExpressやSerial ATAのような業界標準プロトコルの電気的・コンプライアンスを確認するための統計解析テクニックとを兼ね備えます。

バスタブ・カーブと共に、コンプライアンス・アイマスクを重ねたアイダイアグラムは、インターフェース・コンプライアンスに対し、エンジニアが測定しなければならない波形観測オプションのひとつです。(図4参照)

Allegro PCB SIを利用することで、エンジニアは半導体ベンダやSerDesベンダから供給された専有ツールよりも徹底的に、さらに効率的にシリアルリンク分析を行なうことができます。

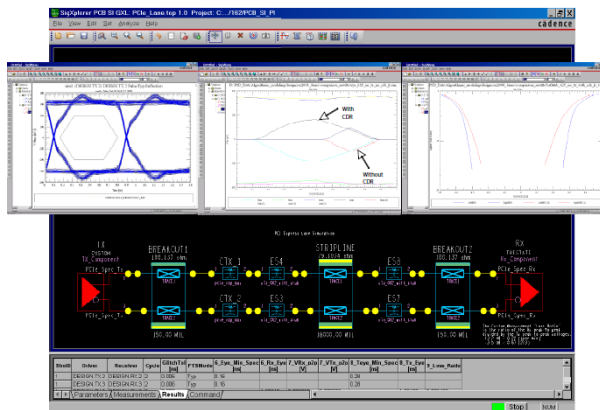


図4: マルチギガビットのシリアルリンクは、アイマスクの利用、アルゴリズムック・トランシーバ・モデル(IBIS-AMI)、そして大容量(数百万ビット)シミュレーションを通して、PCI Express 2.0のようなインターフェース・スタンダードに準拠しているかどうかを確認されます。

SOURCE SYNCHRONOUS BUS ANALYSIS METHODOLOGY

Allegro PCB SIは、ソース・シンクロナス・バスとして結び付けられる全ての信号のポスト・レイアウト解析を実現するために、素早く、そして容易なメソドロジーを提供します。それはオン・ダイ・ターミネーション(on-die termination :ODT)の有無を含む、ソース・シンクロナス・バスの種々のコンフィギュレーション(read/write, active, idle)の解析時間を短縮します。Allegro PCB SIソリューションでは、信号へのソース・シンクロナス・バスとしての関連づけや関係関係を、設計データベースにセーブすることを可能にします。

ユーザは、反射解析やクロストークを含む広範囲な解析を行なうという選択が可能です。Allegro PCB SIはソース・シンクロナス・バス内の個別の信号種に対して、ユーザ定義のディレーティング・テーブルにより、セットアップ・ホールド・マージンのディレートを可能にします。(図5参照)

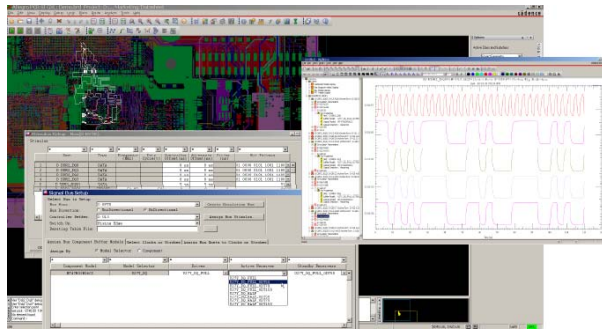


図 5: エンジニアは不要なシミュレーションを排除しながら、配線されたソース・シンクロナス・バス信号 (e.g. DDR3) のタイミング要求を確認することができます。効率的なポスト配線バス解析が、重要なプロジェクトの期限遵守をサポートします。

その他の特長

Estimated crosstalk: クロストークのバジェットを維持しながら手配線、もしくは自動配線を行うためのクロストーク・テーブルを作成することにより、ユーザは配線に必要な層数を削減することができます。

Design link (package-board or multi-board): Allegro PCB SI デザイン・リンク・テクノロジーにより、複数の PCB と IC パッケージ・デザインからのインターコネクタが結合され、IC パッケージ、ボード、そしてコネクタを通る、“Die to Die” 解析を実現します。

EMI analysis and rule checking: ルール・チェックエンジン、EMControl によるシングル/カップル・ネット EMI シミュレーションを提供し、エンジニアの EM コンプライアンスに対する設計をサポートします。

Model integrity: ユーザは、使い易い編集環境で素早くモデルを作成し、そして検証することができます。IBIS、Spectre、Synopsys HSPICE (HSPICE は Allegro PCB SI には含まれない為、HSPICE シミュレータとライセンスが別途必用です)、および XTK モデル・コンバータとをサポートします。

PCB Design Planner option: エンジニアは、このフロアプランニング・オプションを利用し (デザイン・エントリー・ツールとのコンビネーションで使用することで)、部品の配置を検討し、そこで得られたコンストレイントをフロントエンドの設計データベースに入れ込むことで、設計フロー全体のコンストレイントを定義することができます。

Resource Library: cadence.com (Products & Solutions > PCB Design > Resource Library) にアクセスすることによって、テクニカルペーパー、design-in IP (例えば、PCI Express や DDR2 など) や動画などの広範囲なライブラリが利用可能です。

Mentor Board Station flow. Mentor Board Station との双方向インターフェースは、Allegro PCB SI による解析と配線を可能とし、既存のマニファクチャリング出力プロセスが維持されるように Mentor Board Station 環境に最終結果を戻すことができます。

ドキュメンテーション

ケイデンスのツールは、ユーザ・ガイド、ヘルプ (F1)、リファレンスガイド、オンラインチュートリアルとマルチメディアのデモンストレーションを含むドキュメンテーションセットを提供します。

オペレーティング・システムのサポート

Allegro platform technology:

- Sun Solaris
- Linux
- IBM AIX
- Windows

OrCAD technology:

- Windows

cadence®

日本ケイデンス・デザイン・システムズ社

本社 / 〒222-0033 神奈川県横浜市港北区新横浜 2-100-45
 営業本部
 TEL: (045)475-8410 FAX: (045)475-8415
 〒541-0054 大阪府大阪市中央区南本町 2-6-12 サンマリオン NBF タワー16F
 TEL: (06)6121-8095 FAX: (06)6121-7510
 URL <http://www.cadence.co.jp/>

* © 2010 Cadence Design Systems, Inc. All rights reserved worldwide.
 Cadence および Cadence ロゴ は、Cadence Design Systems, Inc. の登録商標です。
 その他記載されている製品名および会社名は、各社の商標または登録商標です。
 * 掲載の内容は、2010年3月現在のものです。