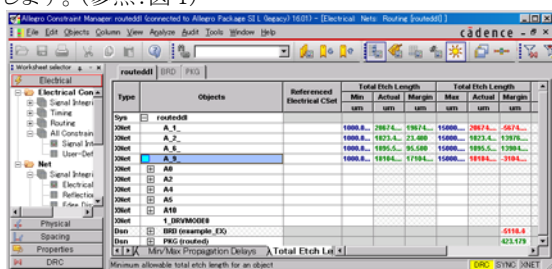


## ALLEGRO PACKAGE SI L

Allegro Package SI L は、パッケージ設計における、複雑なICパッケージ・バーチャル・プロトタイピングとインターコネク解析、検証、モデリングが可能にする環境です。優れたサブストレート編集機能、パワフルなI/O バッファ間のシステム・インターコネク・モデリングを使用し、設計者にコストとパフォーマンス・ターゲットを達成する為の、電気的・要求とフィジカル要求間でのトレード・オフを提供します。また、Quasi-Static 3Dフィールドソルバのインターフェースを搭載しています。

### Constraint Manager

パッケージ・デザインが、制約条件に従って設計されているかどうかを、スプレッドシート形式でリアルタイムに表示します。(参照: 図 1)



Type	Objects	Referenced Electrical Cap	Total Etch Length			Total Etch Length		
			Min	Actual	Margin	Max	Actual	Margin
Signal	A_1		1000.0	2827.4	1927.4	15000.0	2827.4	-6574.0
Signal	A_2		1000.0	1223.4	22.600	15000.0	1223.4	-13769.0
Signal	A_3		1000.0	1055.5	95.100	15000.0	1055.5	-13789.4
Signal	A_5		1000.0	1916.4	1716.4	15000.0	1916.4	-3104.0
Signal	A8							
Signal	A2							
Signal	A4							
Signal	A6							
Signal	A10							
Signal	1 DelayMODE							4118.8
Bus	1000 (range) EQ							421.179
Bus	PKG (read) EQ							
Bus	Min/Max Propagation Delay							Total Etch Len

図 1: Constraint Manager

### SigXplorer

トポロジーを抽出し、配線経路の探索、解析、定義を行うためのグラフィカル環境です。配線前には、what-if 解析により配線順序・分岐方法やコンポーネントのパラステックなどによる影響について解析可能です。配線後には、層構成、配線長などの配線特性を含んだ配線、ビア、コネクタなどの詳細なモデルを抽出し、解析可能です。(参照: 図 2)

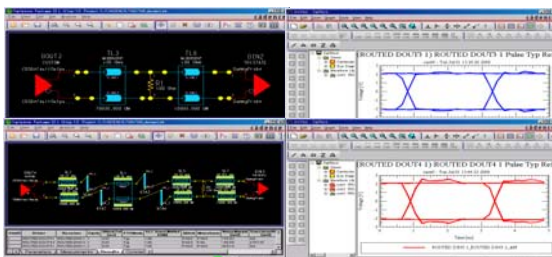


図 2: SigXplorer

### Design Link

Pkg - Board をつなげたマルチ・ボード解析により、インターコネクのトータルシミュレーションを可能にします。(参照: 図 3)

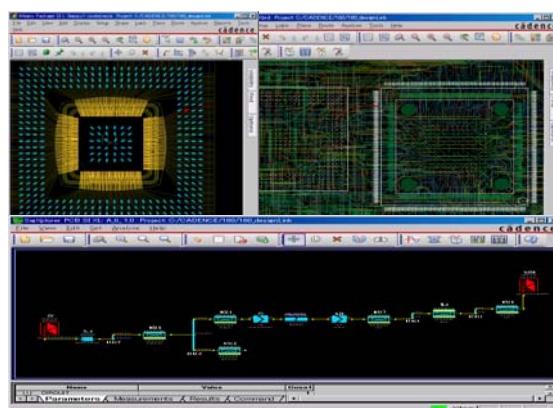


図 3: Design Link

### SPICE ベース・シミュレータ

デザインに対して反射、クロストーク等の伝送線路解析を行うシミュレーション環境です。(参照: 図 4)

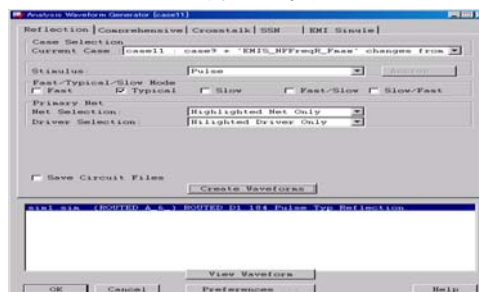


図 4: SPICE ベース・シミュレータ

## ALLEGRO PACKAGE SI FEATURES

SIGNAL INTEGRITY (SI) FEATURES	ALLEGRO PACKAGE SI L	ALLEGRO PACKAGE DESIGNER L	ALLEGRO PACKAGE DESIGNER XL
SigExplorer トポロジ・エディタ (プリ/ポスト・レイアウト)	●		
Quasi-static 3D 抽出/モデリング・エンジン・インターフェース	●		
Spectre シミュレーション・エンジン・インターフェース	●		
パッケージ/ピン・ディレイ 線長レポート出力	●	●	●
<b>SUBSTRATE DESIGN FEATURES</b>			
Constraint Manager (エレクトロニカル、フィジカル)	●	●	●
.mcm から .brdへエクスポート		●	●
対話 (i/a) /自動コンポーネント配置	i/a only	●	●
自動/対話 ワイヤボンド生成	●	●	●
全体、部分的な接続情報アサイン、最適化 (対話、制約条件ベース)	●	●	●
自動/対話 配線 (フリー・アングル、90 度のマルチ・レイヤ)	●	●	●
オンライン・ソルダーマスク・チェック		●	●
配線引き出し		●	●
<b>ADVANCED DESIGN FEATURES</b>			
I/O planning Co-design editor (LEF/DEF, OA)			●
階層的な GDSII 出力		●	●
配線の均等化		●	●
タイル生成、編集			●
BGA editor	●	●	●
HDIビア・ストラクチャ・サポート	●	●	●
<b>DFM PREPARATION/OUTPUT</b>			
Die/BGA フットプリント比較 (DEF, OA, .TXT)		●	●
充填シェイプ (metal) 生成、編集	●	●	●
デザイン・ドキュメント (寸法、注釈)		●	●
Etch back		●	●
プレーティング・バー生成		●	●
製造、ドキュメント入出力 (stream, dxf, AIF)		●	●
サブストレート・マスク出力 (Gerber, GDSII)		●	●
デザイン全体のステータス出力	●	●	●
Waived DRC (DRCの表示制御)	●	●	●
デガッシング		●	●
シーピング		●	●

cadence®

### 日本ケイデンス・デザイン・システムズ社

本社 / 〒222-0033 神奈川県横浜市港北区新横浜 2-100-45  
 営業本部  
 TEL.(045)475-8410 FAX.(045)475-8415 URL <http://www.cadence.co.jp/>  
 〒541-0054 大阪府大阪市中央区南本町 2-6-12 サンマリオン NBF タワー16F  
 TEL.(06)6121-8095 FAX.(06)6121-7510



### 販売代理店 イノテック株式会社 ICソリューション本部

〒222-8580 神奈川県横浜市港北区新横浜 3-17-6  
 TEL.(045)474-2290,2291,2293(営) FAX.(045)474-2395  
 URL <http://www.innotech.co.jp/>  
 〒541-0054 大阪府大阪市中央区南本町 2-6-12 サンマリオン NBF タワー16F  
 TEL. (06)6121-7703(営) FAX. (06)6121-7720

\* 記載の各製品等は登録商標です。  
 \* 掲載の内容は、2009年6月現在のものです。