

CADENCE INCYTE CHIP ESTIMATOR

チップ・プランニング& IP 再利用ソリューション

Cadence® InCyte Chip Estimatorは、SoCなどのIC設計の企画段階において、IPの情報(ゲート数、消費電力、リーク電流、ピン数)、使用するプロセスの情報、デザインに固有な情報(入出力ピン数、パッケージ情報)など様々なパラメータをベースに、チップサイズ、消費電力、タイミングなどを正確に見積ることを可能にします。

SOC企画段階におけるチップ見積りの重要性

一般に、SoC開発を開始する際には、チップ仕様を実現するために必要なIPの選択、I/O構成及びチップ面積・消費電力によって決まるパッケージ選択などが行われます。勿論、この段階ではRTLが存在しないので、各IPに関する何らかの基本情報を頼りにチップサイズ、消費電力、タイミングなどを見積り、ハードウェアのアーキテクチャを決定してプロジェクトを先に進める必要があります。多くの場合、プロジェクトマネージャは、表計算ソフトにIPの基本情報を書き込み、単純な見積り式によって予想を立てていますが、勿論このような方法では見積り精度に限界があります。この段階における意思決定は、開発されるチップの最終結果に大きく影響しますが、それでもこの段階でアーキテクチャを決めてしまわなければ、先に進めないで、プロジェクトマネージャは、上記の見積り結果と自分自身の経験と勘を頼りに思い切った決断をしなければなりません。

Cadence InCyte Chip Estimator の概要

Cadence InCyte Chip Estimator が提供するチップ・プランニング技術は、チップに搭載するIPの情報(ゲート数、消費電力、リーク電流、ピン数)、使用するプロセスの情報、デザインに固有な情報(入出力ピン数、パッケージ情報)など様々なパラメータを図1に示したGUIから入力することで、チップサイズ、消費電力、タイミングなどの見積り結果を瞬時に得られます。

また、歩留り、テスト、パッケージ、マスク、ウェハ等

の業界平均価格を基にコスト見積りが行えるので、ユーザはIPを選択しながらアーキテクチャのトレードオフ解析をすることで、チップ構造の最適化、最適なビジネス判断ができるようになります。



図 1. Cadence InCyte Chip Estimator の GUI

インプリメンテーション・ツールへの I/F

Cadence InCyte Chip Estimator はチップ見積り段階で生成されたフロアプラン情報をレイアウト業界標準フォーマット DEF 形式で出力することができます。また、選択されたIPの情報をもとにチップのトップ階層の Verilog を自動生成することも可能です。これにより、チップ・プランニングの結果を起点としたインプリメンテーション設計を速やかに開始することができます。

Low Power アーキテクチャ検討をサポート

Cadence InCyte Chip Estimator には、パワーマネジメント機能が搭載されており、PSO (Power Shut Off; 電源遮断)、MSV (Multi Supply Voltage; 多電源) などの最先端 Low Power アーキテクチャを指定することや、アーキテクチャレベルの消費電力見積りや、ブロックレベル/チップレベルのパワー仕様、パワー・モードなどを検討することができ、見積り結果を Si2 標準の Low Power アーキテクチャ仕様言語 CPF (Common Power Format) を自動出力する機能がサポートされています。さらに、ドメイン間に跨る、レベルシフトやアイソレーション・セルなどの特殊セルのオーバーヘッドも見積り対象として考慮されます。

IP ポータル・サイト “ChipEstimate.com”

ケイデンスは、公開 IP 情報ポータル・サイト “ChipEstimate.com” を提供しています。各 IP ベンダはこのポータル・サイトに自社の IP の情報を登録することにより、IP 購買につながるセールス・リードを入手することができます。



図 2. IP 情報ポータル・サイト “ChipEstimate.com”

アドレス: <http://www.chipestimate.com>
チップ・プランニング・ツールのお試し版
“InCyte Starter Edition” も無料でダウンロード可能

また、TSMC 社や Common Platform (IBM 社, Samsung Electronics 社, Chartered Semiconductor Manufacturing 社が共同開発した半導体プロセスおよびその設計環境) など、主要ファウンダリの標準的な IP データベースとしても活用されています。一方、IP ユーザである設計者は、購入前の検討段階において、このサイトから必要な IP を探索することができ、さらにこのサイトに登録されている IP の基本情報をもとに、Cadence InCyte Chip Estimator を使ってチップ設計のトレードオフ解析、コスト解析ができます。このサイトには、既に 200 社 7,000 種類の IP が登録されており、22,000 人のユーザが利用しています。

ソフトウェア形態および製品ラインアップ

Cadence InCyte Chip Estimator は、クライアント・サーバモデルを採用しており、クライアントとして、図 1 に示した GUI を手元の Windows や Linux の端末から起動します。クライアントは、起動時にサーバにアクセスし、ファウンダリのライブラリおよび “ChipEstimate.com” に登録されている IP カタログの最新情報を入手します。このように、ユーザが必要なライブラリを元々搭載している EDA ツールはほとんど殆ど存在しません。

また、IP カタログデータベースを独自に構築可能なエンタープライズ向け製品 Cadence Chip Planning System は、独立した専用サーバを立ち上げ、自社開発した IP や自社ライブラリを社内もしくは特定顧客のためのチップ見積り環境として開示可能なシステムです。見積りを行うユーザはクライアントとして、GUI を手元の Windows や Linux の端末から起動すると、専用サーバにアクセスを行い見積りに必要な情報を獲得できます。

お試し版 “InCyte Starter Edition” は、IP ポータル・サイト “ChipEstimate.com” より無料でダウンロードし、利用可能ですが、入力や操作性を実感いただくための用途として提供しているため、使用可能な機能を限定しています。

チップ・プランニング製品ラインアップ

製品名	用途	パッケージ	詳細
Cadence InCye Chip Estimator (InCye)	3rd party ファウンダリ、 ライブラリベンダ、 IP ベンダのデータによる チップ見積り	L	サイズ、パワー、タイミング見積り EDA データ(DEF, LEF, トップ階層の Verilog, CPF, SDC etc) 出力
		XL	サイズ、パワー、タイミング、コスト見積り、 パワーマネジメント EDA データ出力、IP-XACT インターフェース、 Python シェル
Cadence Chip Planning System (CCPS)	自社プロセス、自社 IP データによるチップ見積り (3rd party プロセス、 IP モデルをロード することも可能)	Server	独立した専用サーバを立ち上げ、ライブラリ等 のテクノロジーデータや IP データを一元管理
		IP Modeler	テクノロジーデータや IP のモデリングを実行
		User	サイズ、パワー、タイミング、コスト見積り、 パワーマネジメント EDA データ出力、IP-XACT インターフェース、 Python シェル

サポートプラットフォーム

- Windows XP, Windows XPpro, Windows Vista
- Linux (32bit, 64bit) RHEL4.0/5.0, SLES 9/10
- Sun Solaris (32bit, 64bit) Solaris 10

Cadence InCye Chip Estimator は、IC 設計の企画段階において、正確なチップ見積り環境を提供します。このような早期のチップ・プランニングによって設計プロジェクトのリスクを低減すると共に、IC コストの削減を可能にします。

cadence®

日本ケイデンス・デザイン・システムズ社

本社 / 〒222-0033 神奈川県横浜市港北区新横浜 2-100-45
営業本部
TEL.(045)475-8410 FAX.(045)475-8415 URL <http://www.cadence.co.jp/>
〒541-0054 大阪府大阪市中央区南本町 2-6-12 サンマリオン NBF タワー16F
TEL.(06)6121-8095 FAX.(06)6121-7510



販売代理店 **イノテック株式会社** IC ソリューション本部

〒222-8580 神奈川県横浜市港北区新横浜 3-17-6
TEL.(045)474-2290,2291,2293(営) FAX.(045)474-2395
URL <http://www.innotech.co.jp/>
〒541-0054 大阪府大阪市中央区南本町 2-6-12 サンマリオン NBF タワー16F
TEL. (06)6121-7703(営) FAX. (06)6121-7720

* 記載の各製品等は登録商標です。
* 掲載の内容は、2009年8月現在のものです。