

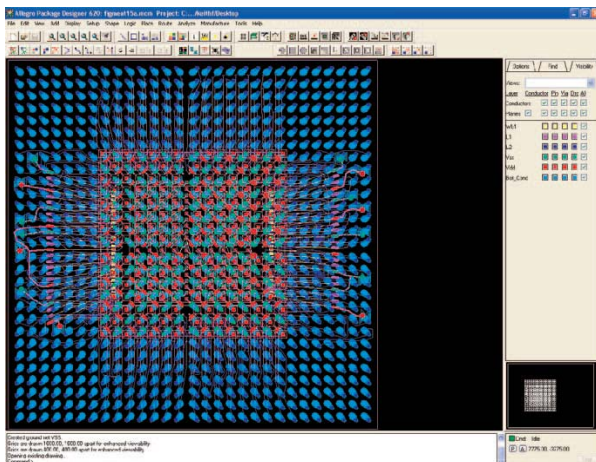
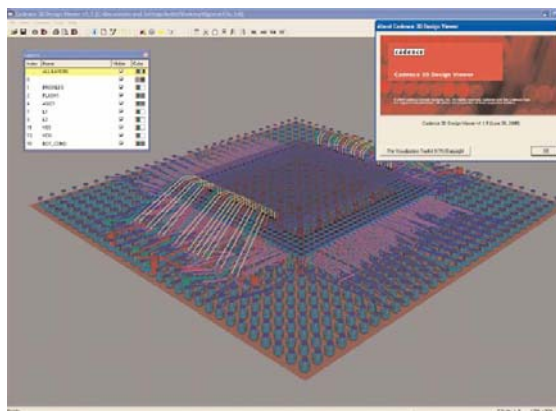
CADENCE 3D DESIGN VIEWER

Solid model IC package viewing and wirebond DRC

Cadence® 3D Design Viewerは、ICパッケージがどのようにデザインされたか検討する際のリアルな3D表示を提供します。また、インタラクティブな3DワイヤボンドDRC(デザインルール・チェック)機能を提供し、デザインサイクル時間の削減、製品製造品質の改善を支援します。

AN INTELLIGENT 3D DESIGN VIEW

IC、ICパッケージ、或いはPCBのフィジカル・レイアウト構造に対する今日のEDAツールの大半は、2次元表現です。しかし、2次元表現でのサブストレートレイアウト、インターコネクトプランニング等やこのような“plan-view”プロセスはデザイン、マネージメント、そして複雑なダイスタックタワーの検証には不十分です。複雑で高密度なデザインはより現実的なアプローチを必要とします。ケイデンスの3D Design Viewerは、このような実際に製造される製品をイメージし設計を行いたいと言うICパッケージ設計者のニーズに対応します。



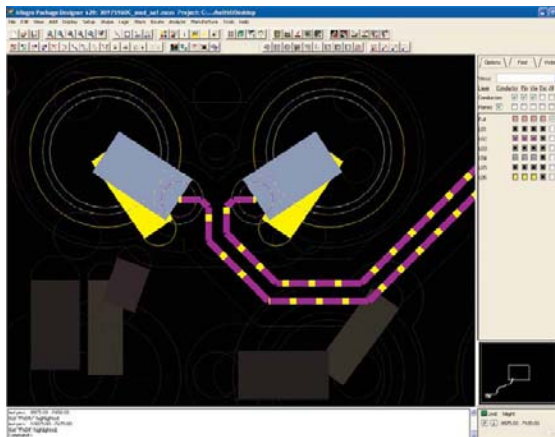
EMBEDDED WITH IC PACKAGE LAYOUT

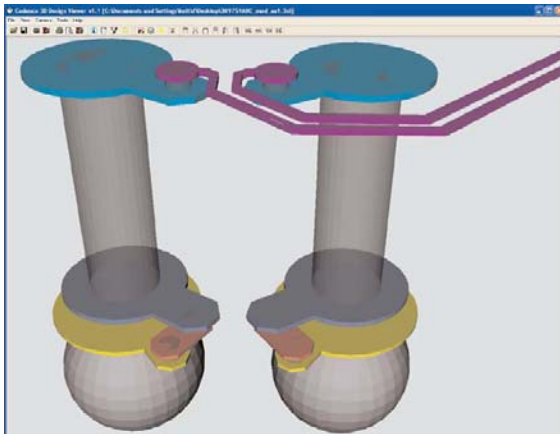
3D Viewerは、Allegro Package Designer - L、或いはAllegro Package Designer - XLのユーザーインタフェースより起動することが出来ます。3D Viewerが起動される時、もしパッケージデザインにダイスタックが含まれる場合、3Dモデル生成前に高さ(Z軸距離)を持ったダイ、スペーサー/インターポーザー情報入力するサブストレート・スタックアップ・ダイアログが提供されます。

EASY DESIGN INVESTIGATION

3D Design ViewerはAllegro Package Designerで定義されたcolor/layer/objectセッティングが利用されます。レイヤの表示はon/offの切り替えが可能で表示レイヤは透過表示されます。

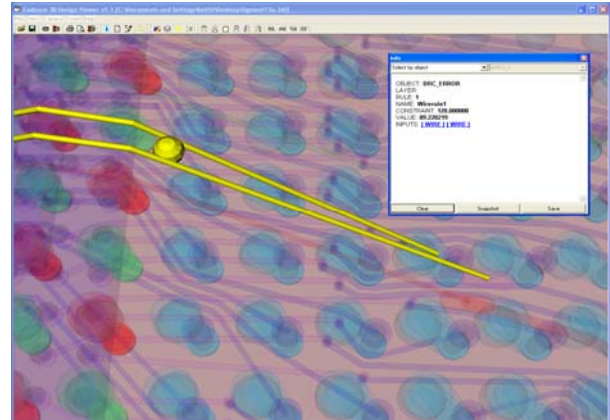
3D ViewerはAllegroの“show element”に類似したインフォメーションコマンドを持ち、オブジェクト、或いはネット単位で利用する事が可能です。





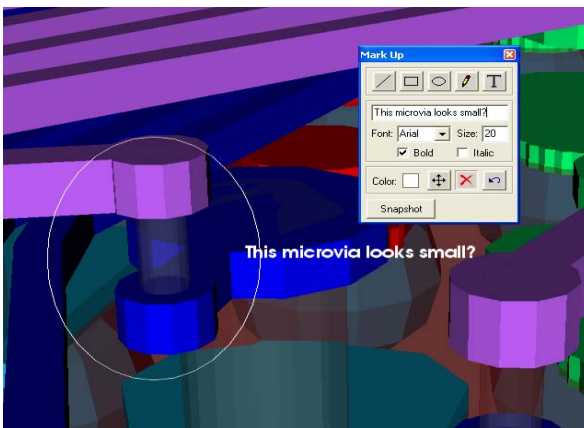
3D WIREBOND CLEARANCE DESIGN RULE CHECKING

ルールは Allegro Package Designer のデザインセッション中の一部として定義、登録され、設計者はインターフェースを介し 3D クリアランスチェックを行うことができます。



INTERACTIVE MARKUP

設計者は、3D デザインビュー中にデザイン・レビューとして、3D ビューに留まらず、テキスト、矢印や基本的なシェープを追加したドキュメントとして"markup"JPEG スナップショットを作成することができます。



オペレーティング・システムのサポート

- Windows 2000 with Service Pack 4, XP Professional
- OpenGL compliant graphics card with a minimum of 64MB of dedicated memory

cadence

日本ケイデンス・デザイン・システムズ社

本社 / 〒222-0033 神奈川県横浜市港北区新横浜 2-100-45
 営業本部
 TEL.(045)475-8410 FAX.(045)475-8415
 〒541-0054 大阪府大阪市中央区南本町 2-6-12 サンマリオン NBF タワー16F
 TEL.(06)6121-8095 FAX.(06)6121-7510
 URL <http://www.cadence.co.jp/>

* © 2010 Cadence Design Systems, Inc. All rights reserved worldwide.
 CadenceおよびCadenceロゴは、Cadence Design Systems, Inc.の登録商標です。
 その他記載されている製品名および会社名は、各社の商標または登録商標です。
 * 掲載の内容は、2010年1月現在のものです。