

CADENCE IC/PACKAGE CO-DESIGN

ALLEGRO PACKAGE DESIGNER L
ALLEGRO PACKAGE SI L

マーケットは、パッケージにより多くの機能を求め、多ピン、多層のフリップチップパッケージへと移行しています。デバイスのパフォーマンスと品質を最適化するためには、チップ、システムとパッケージとを切り離して設計することはできません。様々な自動化技術は、ICパッケージ設計者のレイアウト時間を劇的に短縮します。

IC/PACKAGE CO-DESIGNテクノロジー

ICパッケージングは、silicon-package-board デザイン・フローの中でも重要であり、ケイデンスの Allegro®プラットフォームは、PCB、パッケージ・デザインのための完全でスケーラブルな技術を提供します。ケイデンスの IC/Package 設計テクノロジーは、タイトなスケジュールを達成すると同時に、設計者がコスト、性能に優れたチップ・パッケージ・デザインを最適化し設計することを可能にします。

利点

- IC パッケージ・デザイン・フロー全体をサポート
- シンプルかつ高速なデザインプロセス
- 性能とコストの最適化
- IC デザイン・サイクルの初期段階にて、最良のパッケージと基板技術を決定
- 物理的・電气的パフォーマンスとコストとのトレードオフを簡易化 (Allegro Package SI)
- ダイ to ダイ、接続された IC パッケージとシステムの相互間のインターコネクト解析環境の提供 (Allegro Package SI)

レイアウトの特長**(ALLEGRO PACKAGE DESIGNER L AND XL)****CONSTRAINT-DRIVEN PHYSICAL LAYOUT**

Allegro Package Designer には、今日の高度なパッケージ設計に必要な技術がすべて含まれています。完全なオンライン DRC は、複数のキャビティ、複雑な形状、対話型および自動ワイヤーボンディング機能の全てをサポートします。ダイ、BGA、プレーティングバー、PWR/GND リングといった IC パッケージのビルディング・ブロックを作成するためのウィザードも用意されています。

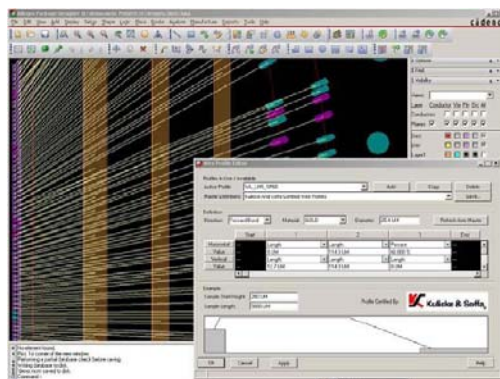
SUBSTRATE MODELING AND RULE CHECKING

設計プロセス全般にわたり、物理的・電气的制約条件 (Constraints) に照らしてダイナミックにルールチェックが行われ、違反がある場合にはリアルタイムで DRC マーカーが表示されると共に、スプレッドシート形式の Constraint Manager にも表示されます。

WIREBOND & FLIP-CHIP ESCAPE PATTERNS

Allegro Package Designer は、ユーザ定義された制約に基づく、ワイヤーボンディングの高速かつ的確な配置や柔軟な編集機能を提供します。

フリップチップ・テクノロジーについても、自動/半自動による複雑なビアや配線逃げの作成といった、今日の高密度配線における複雑なレイアウトを支援します。

**INTERCONNECT OPTIMIZATION**

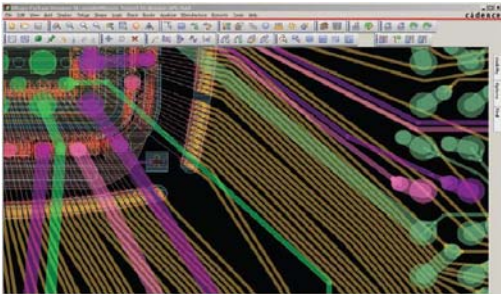
チップ、パッケージ間の接続を、ネットリストを予め用意することなく構築できます。配線の実現性とタイミングによって制御されるチップとパッケージ間の接続は、自動/対話的なアサイン・ユーティリティにより、最適な結果をもたらします。

AUTOMATIC BUMP-TO-PACKAGE PIN ASSIGNMENT AND ROUTE FEASIBILITY

ルーターもしくはコンストレイント・ドリブン・アルゴリズムが、デザインルールに基づき最適な配線ルートを導き出します。差動ペアに定義されるバンプは、隣接するピンに応じて自動的にアサインされます。

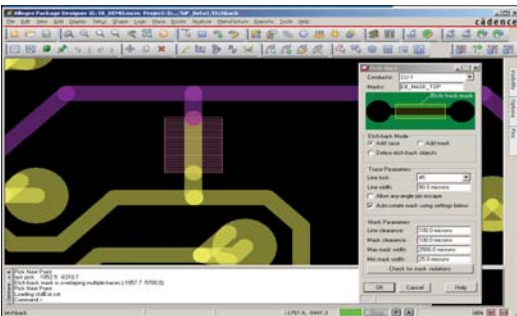
INTERACTIVE AND AUTOMATIC ROUTING

自動配線 (Allegro PCB Router と SpiderRoute) ツールが統合されており、配線時間に要する時間を大幅に短縮します。SpiderRoute は、プレーティングバーを含めたデザイン内の全ネットを事前にスキャンし、Any Angle または 45 度で配線を実行します。



MANUFACTURING OUTPUT CAPABILITIES

プレーティングバーの作成、エッチバック、デガッシングが可能です。製造データは Gerber4x00/6x00、RS274X、DXF、GDS II 等に対応しています。



PCB SYSTEM-LEVEL HAND-OFF

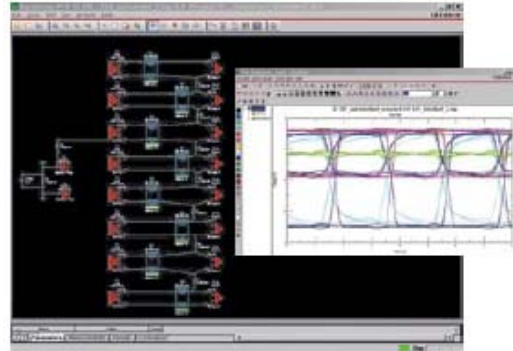
ケイデンスの IC/package co-design テクノロジは、シリコンとパッケージ間の連携だけでなく、パッケージと PCB 間もリンクし、フィジカル・フットプリント等を自動的に生成します。

PACKAGE SIGNAL INTEGRITY の特長

(ALLEGRO PACKAGE SI L)

TOPOLOGY EXPLORATION WITH SIGXPLORER

ネットのトポロジを生成し、配線経路の探索、解析、定義を行うためのグラフィカル環境です。VSIC (virtual system interconnect) モデルを使用してのソリューションスペース解析により、設計初期段階にてパッケージと PCB デザインを管理するルールの開発が可能です。

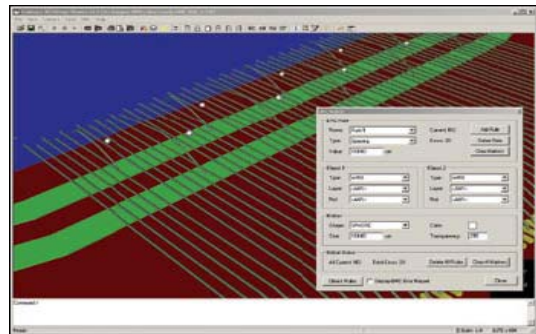


INTEGRATED CONSTRAINT MANAGEMENT

コンストレイント・マネージャにより、等長配線、差動ペア、インピーダンスまたは遅延ルール、電気的制約条件等を管理し、仕様を満たしたパッケージ設計環境を提供します。

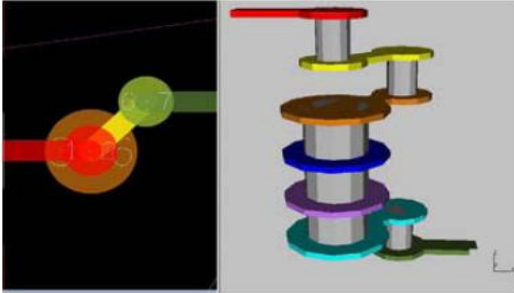
3D DESIGN VIEWER オプション

3D Design Viewer は、3D ビューワと 3D ワイヤーボンディング・ルールチェック (DRC) を備え、デザイン全体、或いは選択された部分の視覚化、仕様確認、3D DRC チェック機能により、設計時間の削減、製造品質の改善を支援します。



HIGH DENSITY INTERCONNECT DESIGN

Allegro Package Designer は constraint driven HDI デザインを可能にし、オートアシスト配線機能、セミオート Via Array ジェネレータなど、様々な自動化ツールが設計を助けます。



オペレーティング・システムのサポート

Sun Solaris

- Linux
- IBM AIX
- Windows

cadence

日本ケイデンス・デザイン・システムズ社

本社 / 〒222-0033 神奈川県横浜市港北区新横浜 2-100-45
営業本部
TEL: (045)475-8410 FAX: (045)475-8415
〒541-0054 大阪府大阪市中央区南本町 2-6-12 サンマリオン NBF タワー16F
TEL: (06)6121-8095 FAX: (06)6121-7510
URL <http://www.cadence.co.jp/>

- * © 2010 Cadence Design Systems, Inc. All rights reserved worldwide.
CadenceおよびCadenceロゴは、Cadence Design Systems, Inc.の登録商標です。
その他記載されている製品名および会社名は、各社の商標または登録商標です。
* 掲載の内容は、2010年3月現在のものです。