

# CADENCE SiP RF DESIGN

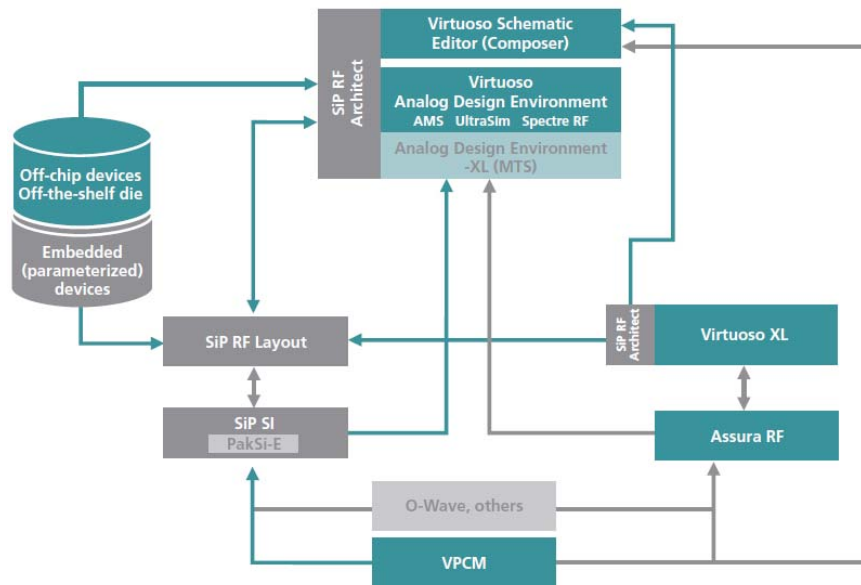
SiP RFデザイン・テクノロジーは、アナログ・デザイン、回路シミュレーション、SiP RFモジュール・レイアウト間のスムーズな設計環境を提供しています。シングル・チップ設計、システム・レベル設計、マルチRF/AnalogチップとSiPサブストレート・パッケージを含んだ回路シミュレーション、およびパラメタライズ可能なエンベデッド・ディスクリート部品的设计が可能です。

## CADENCE SiP RF LAYOUT GXL

SiP RF Layout GXL は、PGA, BGA, Micro-BGA, Chip Scale, Flip-Chip, Wirebond といった多様なパッケージ・デザインに対応した SiP Physical Package Layout, Signal Integrity(SI) 抽出テクノロジーと、Virtuoso Analog Design Environment の統合フローをご提供いたします。SiP RF Layout GXL はシステム内部のトレード・オフと最適化のため Physical, Electrical, Manufacturing インターフェイスを管理する Co-Design プロセスに基づいています。フル・オンラインまたはバッチ・デザイン・ルール・チェック(DRC)は、ラミネート、セラミックや積層テクノロジーの複雑でユニークな要求をサポートします。

## VIRTUOSO LAYOUT EDITORと SiP RF Layout GXLフローインテグレーション

SiP RF Architect GXLはVirtuoso DFII framework環境との統合デザイン環境です。Virtuoso Layout EditorからのSiP IC フットプリント・ダイレクト抽出機能、スキーマティック・ドリブンのSiP サブストレート・レベルのRF P-cell 生成機能、そして Post-route 回路シミュレーションにおけるシミュレーション用テスト・ベンチ自動生成を含んだParastic バックアノテーション・メソッドを提供しています。



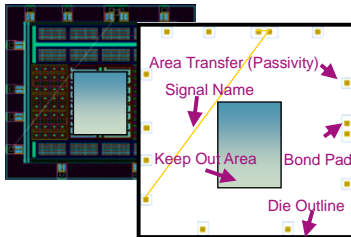
## SiP RF Layout

SiP RF Layout では、フィジカルな配置・配線機能を提供しており、これは Virtuoso DFII framework との統合されたデザイン環境です。ダイ・アブストラクト、ディスクリート・コンポーネント、接続情報、制約条件はフィジカルな SiP を実装する際に使用されます。回路設計と回路シミュレーションにより定義されたインダクタ、キャパシタ、トランスミッション・ライン等のサブストレート・パッシブ・コンポーネントは、プログラマブル・セルとして SiP RF Layout に渡り変更内容はスキマティックへバックアノテーションされます。また、Quasi-Static3D フィールドソルバー・インターフェイスと SPICE シミュレーション・エンジンを搭載しているのでパッケージ・インターコネクットのシミュレーションやモデリングをフィジカル SiP デザイン環境内で行うことが可能です。抽出されたパラステック・モデルは Virtuoso SiP Schematic にバックアノテートされ、Post-Route 回路シミュレーションで使用されます。

## KEY Features

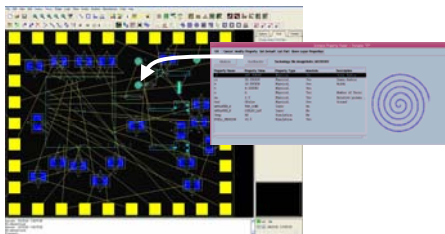
### -Die Export

Virtuoso Layout から SiP Layout フットプリントを自動生成



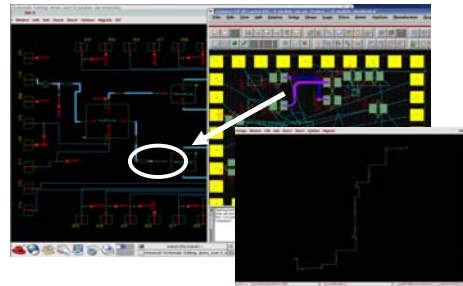
### -parameterize p-cell

RF フットプリント形状をパラメトリックに変更



### -Tline Backannotation

レイアウト・ドリブン設計では SiP Layout で配線した Tline を Composer Schematic Editor にバックアノテーション



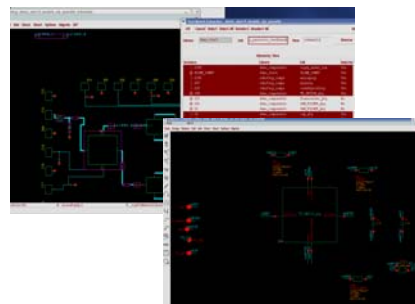
### -Import Model

レイアウト配線パターン of S-Parameter モデルを Composer Schematic Editor へインポート



### -Test Bench Extraction

Composer Schematic Editor よりシミュレーション用テストベンチを自動生成



## PRODUCT FEATURES

SIP RF FEATURES	SiP RF ARCHITECT XL	SiP RF ARCHITECT GXL
<b>FRONT-END DESIGN CREATION FEATURES</b>		
Virtuoso Analog Design Environment, schematic/layout integration and flow	●	
Substrate-level embedded RF passive synthesis	●	
Full SiP LVS(substrate and Ics)	●	
<b>SIGNAL INTEGRITY FEATURES</b>		
3D PCB full-package simulation model creation		●
Package/pin delay length report		●
<b>SUBSTRATE DESIGN FEATURES</b>		
Constraint Manager (electrical/physical and DRC)		●
Import/export APD (.mcm) database		●
Interactive (i/a) and automatic component (packaged and bare die) placement i/a only		●
Auto/interactive wirebonding including rapid autobond		●
User-definable wirebond model profiles including XML import		●
Full and partial design connectivity assignment and optimization (router-based, closest match, interactive and constraint-based)		●
Interactive and automatic interconnect routing (free angle and multi-layer orthogonal)		●
On-line soldermask checking		●
Recursive breakout pattern creator (flip0chip and wirebond)		●
Static-style screen rulers		●
<b>ADVANCED DESIGN FEATURES</b>		
I/O Planning co-design editor (using LEF/DEF and OA 2.2)		●
Hierarchical GDSII output		●
Embedded RF passive creation and editing		●
3D Design Viewer and 3D wirebond DRC		●
3D Die Stack Editor		●
Interconnect cline spreading		●
BGAeditor		●
HDI via structure support		●
<b>DFM PREPARATION/OUTPUT</b>		
Die/BGA footprint compare using DEF/OA/.TXT		●
Filled shapes (metal) creation and editing		●
Design documentation (dimensioning, annotation)		●
Assembly and back-end DRC system		●
Etch back of plating traces		●
Plating bar generation		●
Manufacturing/documentation export/import capabilities (stream, dxf, AIF)		●
Substrate mask output (Gerber, GDSII)		●
Full design-status reporting capabilities		●
Waived DRCs (creation and reporting)		●
Degassing of filled metal shapes		●
Thieving (metal area balancing)		●

cadence®

日本ケイデンス・デザイン・システムズ社

本社 / 〒222-0033 神奈川県横浜市港北区新横浜 2-100-45  
 営業本部  
 TEL.(045)475-8410 FAX.(045)475-8415 URL <http://www.cadence.co.jp/>  
 〒541-0054 大阪府大阪市中央区南本町 2-6-12 サンマリオン NBF タワー16F  
 TEL.(06)6121-8095 FAX.(06)6121-7510



販売代理店 **イノテック株式会社** ICソリューション本部

〒222-8580 神奈川県横浜市港北区新横浜 3-17-6  
 TEL.(045)474-2290,2291,2293(営) FAX.(045)474-2395  
 URL <http://www.innotech.co.jp/>  
 〒541-0054 大阪府大阪市中央区南本町 2-6-12 サンマリオン NBF タワー16F  
 TEL. (06)6121-7703(営) FAX. (06)6121-7720

\* 記載の各製品等は登録商標です。  
 \* 掲載の内容は、2009年6月現在のものです。