

CADENCE SiP DIGITAL DESIGN

ケイデンスが提供するSystem-in-Package(SiP)の設計ツール、Cadence® SiP Digital 製品は、設計のコンセプト、論理接続情報の管理、配置、配線、IOプランニング、ネット・アサインメントの最適化、wirebondの3Dチェックなど、複雑なSiP設計を容易に行うことが可能にします。

SYSTEM CONNECTIVITY MANAGER

複数Dieが搭載されるSiPでは、接続情報の管理が今まで以上に重要となります。また、レイアウト・ツールとの連携、ECO対応、論理と配置配線情報の一致をとることも必須になります。

System Connectivity Managerは、SiP Digital Architectの中核となり、SiPの論理接続情報の追加、編集、管理を容易に行えます。また、IC Die Verilog ネットリストの取り込みが行え、IC設計環境との連携もスムーズに行えます。(参照:図1)

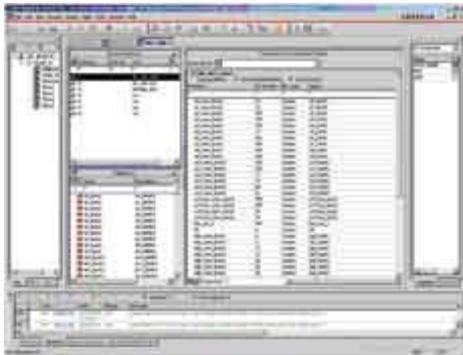


図1: System Connectivity Manager

CHIP INTEGRATION OPTION

Chip Integration Optionは、Encounter テクノロジをベースにDieのバンパ・マトリクス、I/Oパッドリング・アレイ、IOセルとバンパ間のネット・アサインと最適化、RDL層の配線試行など、IOのプランニングを行うことが可能です。ICのアブストラクトをスクラッチから、または、デジタルIC設計チームからLEF/DEF、OAデータベースを介して取り込むことも可能です。(参照:図2)

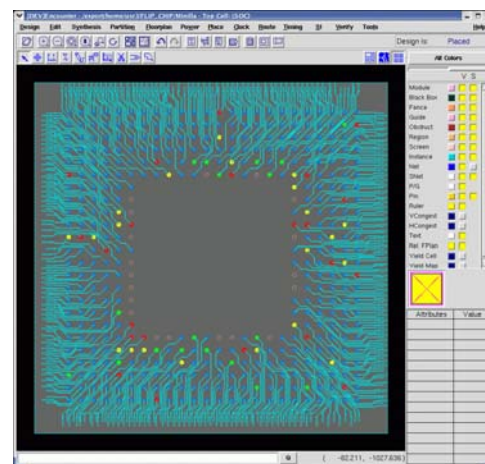


図2: Chip Integration Option

3D DIE STACK EDITOR

Die Stack Editorは、スペーサーやインターポーザを含む複雑なDie Stacking設計を容易にします。(参照:図3)

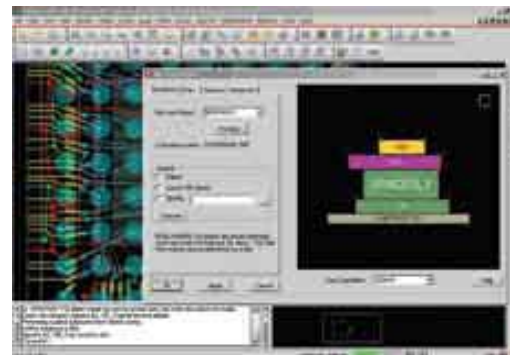


図3: 3D Die Stack Editor

3D DESIGN VIEWER

Cadence 3D Design Viewerは、複雑なICパッケージ・デザイン用フル・ソリッド・モデル3D表示と3DワイヤボンドDRCを提供します。(参照:図4)

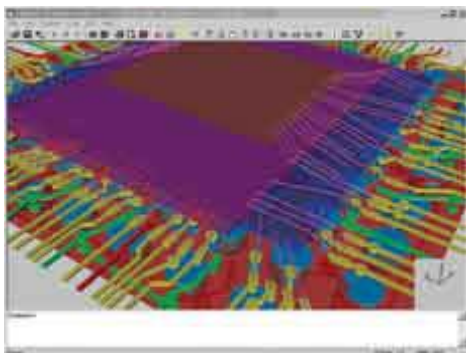


図 4: 3D Design Viewer

ASSEMBLY RULE CHECK/BACK-END DRC

35項目を超えるSiP組み立て、製造ルール・チェッカーを使用することで、品質の高い製造データ出力が可能です。(参照:図5)

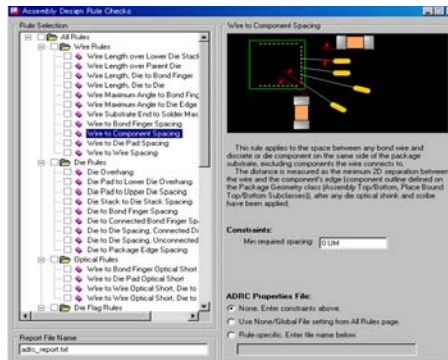


図 5: Assembly Rule Check/Back-End DRC

cadence

日本ケイデンス・デザイン・システムズ社

本社 / 〒222-0033 神奈川県横浜市港北区新横浜 2-100-45

営業本部

TEL: (045)475-8410 FAX: (045)475-8415

〒541-0054 大阪府大阪市中央区南本町 2-6-12 サンマリオン NBF タワー16F

TEL: (06)6121-8095 FAX: (06)6121-7510

URL <http://www.cadence.co.jp/>

- * © 2010 Cadence Design Systems, Inc. All rights reserved worldwide. CadenceおよびCadenceロゴは、Cadence Design Systems, Inc.の登録商標です。その他記載されている製品名および会社名は、各社の商標または登録商標です。
- * 掲載の内容は、2010年3月現在のものです。