

# CADENCE SIMULATION FOR PCB DESIGN

特に大規模なPCB設計においては、効率を改善するために高速、かつ信頼性の高い解析が必要となります。PCB設計に関連するケイデンスのシミュレーション・テクノロジーは、設計プロセス上の特定のフェーズから全体までを支援する回路解析とPCB設計の2つの環境を提供しています。アナログとデジタルの集積回路において解析精度を保ち、解析速度が改善されたこれらのツールを利用することで、設計チームに利益をもたらすことが可能です。Advanced Analysisの解析機能を用いることにより、設計者は、回路性能を最大に引き出せるように回路定数を自動で調整することができます。

## PCB 設計のためのケイデンスのシミュレーション・テクノロジー

ケイデンスのシミュレーション・テクノロジーは、PCB設計のためのあらゆる設計上の課題を解決するために必要なデジタル素子をサポートした高機能なアナログ・デジタルシミュレータを提供します。(高周波システムから低消費電力のIC設計まで)この強力なシミュレーション・エンジンは、ケイデンスの基板回路図入力ソリューションに簡単に追加でき、製品を市場に投入するまでの設計工数を改善します。使い易いグラフィカル・ユーザ・インターフェースを採用しているため、操作が簡単です。

現在の設計プロセス上からすぐに運用可能です。解析用のモデルは多くのベンダーから入手可能です。モデルには数式表現が可能、ビヘイビア・モデルが扱えるなどにより、効率的な設計環境を提供しています。

Advanced Analysis機能(感度、モンテカルロ、スモーク、および複数搭載した最適化エンジン)は、設計のパフォーマンス、コストダウン、信頼性を改善できる最高のシミュレータです。

この製品は Cadence® Allegro® Design Entry HDL と Cadence OrCAD® Capture と緊密に統合されています。シミュレーション・テクノロジーにおいても、MathWorks 社の MATLAB/Simulink パッケージとのインターフェースを持ち、パワフルな協調解析環境を実現します。(SLPS) (図1参照)

## 利点

- 素早く、直感的なスキーマティック編集
- 大規模設計における解析時間、信頼性、収束性の向上
- 集積化されたアナログおよびイベント・ドリブン・デジタル・解析において精度を保ちながら解析速度を改善
- DC、AC、ノイズおよび過渡解析の基本機能を使用して回路動作を確認
- SLPS インターフェースを使用して、システムレベルに実際の電気回路を組込み解析可能
- 20,000 以上のアナログおよびミックス・シグナル用のモデル・ライブラリを提供
- アナログおよびデジタル信号を判別し A-to-D と D-to-A のインターフェースが自動生成
- ハードウェアを決定する前に、部品が回路に及ぼす影響を確認しながら検証可能
- オプティマイザを使用して回路性能を自動的に最大化
- 複雑な回路を機能ブロック毎に、数式表現や関数、ビヘイビア・モデルを使用して表現可能
- スモーク解析を用いて、部品の規格外での使用状況を把握、モンテカルロ解析を用いて、部品の歩留まりを検証し、最適な部品を決定

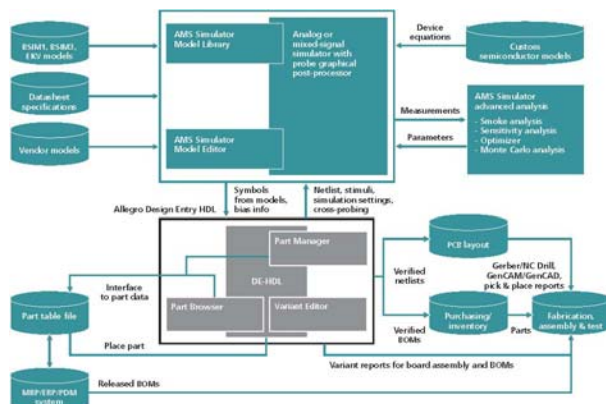


図 1: ケイデンスの PCB 設計におけるシミュレーション・テクノロジー

## 特長

ケイデンスの PCB 設計環境は、PCB デザイン・フローのフロントからバックまでシームレスに統合されています。解析も同様の環境で使用でき、単独でも統合環境においても、解析と PCB 設計の両方を可能としています。

## DESIGN ENTRY AND EDITING

ケイデンスの回路図入力ツールを用いて回路解析するために、18,000 以上のシンボルとモデルをライブラリが選択できます。Capture とアナログ回路の解析によって実現できる多くの機能を提供しています。両方のツールは統合されており、ボタン 1 つで解析とのクロス・プロービング、及び他の多くの解析ユーティリティが含まれています。

## STIMULUS CREATION

標準オプションである、Stimulus Editor を使い、解析用の入力信号をパラメータで設定するか、または、マウス操作から折線波形 (PWL) を自由に任意形状で作成することができます。デジタルの入力信号の場合は、クロックやバス信号をクリック&ドラッグでトランジションを移動させ作成します。

## CIRCUIT SIMULATION

ユーザは簡単に設定や解析を実行できます。プローブ・ウィンドウは、業界標準の波形ビューアで、回路図からクロス・プローブ機能で解析結果をプローブで確認できます。複数の解析設定が行え、設計者は同じ回路図上の異なった解析を実行、再表示が可能です。ノード電圧、デバイス損失値及びピンとサブサーキット内の電流に対するバイアス・ポイントの解析結果であれば、数値データが回路図上に直接表

示されます。

チェックポイント、リスタートをサポートしており、設計した回路を一部修正して解析する場合は、解析を複数回実行せずに、途中で解析条件を変更できます。これにより、回路設計者が解析に費やす時間を削減することが可能です。

## MIXED ANALOG/DIGITAL SIMULATION

集積化されたアナログ、及びイベント・ドリブン・デジタル解析において、精度を損なうことなく解析速度を改善しています。アナログとデジタルの解析結果は、同じ時間軸上にデジタル信号と共に波形表示されます。

デジタルの解析機能には 5 つのロジック・レベル、64 の強度、負荷依存の遅延、ハザード/レーシングのチェックをサポートしています。Allegro AMS Simulator と PSpice シミュレータ共に、セットアップ、ホールド・タイミングの様にデジタル・ゲートや制約をチェックするためのモデリングが充実しています。

## ANALOG ANALYSIS

DC、AC、ノイズ、過渡解析、パラメータ・スイープ、モンテカルロ解析そして DC 感度解析を用いた回路動作の検証が行なえます。Allegro AMS Simulator と PSpice のテクノロジーには、対話式解析コントローラ、及び 2 つの解析のソルバーを持っています。

## GRAPHICAL RESULTS AND DATA DISPLAY

プローブ・ウィンドウでは、解析結果に対し算術計算を付加して表示させることが可能で、プロット・ウィンドウの表示方法をテンプレートとして保存・作成することも可能です。波形表示方法は、回路図中のピン、ネット、部品に直接マーカを配置することによって可能です。このツールには、あらかじめ組込まれたメジャメントを使用することも、ユーザがカスタマイズしたメジャメント関数を使用し、回路のパフォーマンス特性を計測できます。データ表示には、回路電圧、電流、消費電力に対し、追加機能としてこれらの実数と複素関数を用いて表現できます。また、AC 解析で小信号特性の利得、及び位相マージンをボード線図上で表示も行えます。

(図 2 参照)

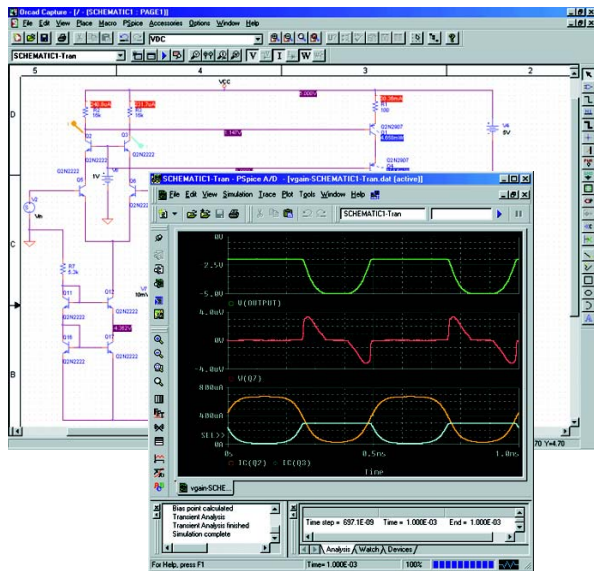


図2: ケイデンスのPCB設計におけるシミュレーション・テクノロジー:回路動作の波形表示、クロス・プロービング、バイアス値を回路図上への表示機能などの解析環境を提供します

## MODELS

標準で多種多様な精度の良いモデルが含まれており(通常は温度効果が含まれている)、解析を幅広く利用できます。デバイス・モデルは、R、L、Cとバイポーラ・トランジスタに加え、以下のモデルを利用できます。

- IGBT
- MOSFET (Level=7)、業界標準の BSIM 3V3.2、EKV2.6 モデル
- GaAsFET (Level=5) Parker-Skellern と TriQuint TOM-2, TOM-3 モデル
- 飽和とヒステリシスを持った非非線形磁気モデル
- 伝送ラインモデル(遅延、反射、損失、分散、およびクロストーク)
- デジタル・プリミティブ(双方向を含む転送ゲートのアナログ I/O モデル)
- 2つのバッテリーのモデル(放電サイクルや動作条件を正確に解析できます)

デバイス方程式の開発者キット(DEDK)は、Allegro AMS Simulator と PSpice 解析で利用でき、新しいモデルを方程式で作成して実装可能です。

## MODEL LIBRARY

ユーザは、北米、日本、そしてヨーロッパ製のアナログとミックス・シグナル・モデルのデバイスとして 18,000 以上のモデルを利用することができます。また、4,500 以上のパラメタライズド・モデルとして、バイポーラ・トランジスタ、JFET、MOSFET、IGBT、サイリスタ、磁気コア、トロイダルコア、パワーダイオード とブリッジダイオード、オペアンプ、フォトカップラ、レギュレータ、PWM コントローラ、乗算器、タイマー、サンプルホールド素子が含まれています。

## MODEL EDITING

Model Editor でサポートしているデバイス・タイプであれば、簡単にデバイス・モデルを抽出できます。(デバイスのデータシートから必要なデータを入力します)

## BEHAVIORAL MODELING

回路図を機能ブロックとして、数式表現や関数を用いて記述できます。設計者は、このブロックに算術演算子、非線形関数、フィルタリング等の関数を利用することができます。回路動作を時間、または周波数ドメインにおいて、数式、またはルックアップ・テーブルによって定義することができます。(ラプラス変換式を含みます) 条件を設定し、エラーや警告のメッセージの出力を行うことができます。ユーザは、サブサーキットを階層内で渡されているパラメータを簡単に選択することができ、各ブロックのパラメータとして直接設定することができます。新しいビヘイビア・モデルには  $\ln(x)$ 、 $\exp(x)$ 、 $\sqrt{x}$  の関数を利用することができます。

## MAGNETIC PARTS EDITING

手作業で変圧器の設計をしなければならない問題には、Magnetic パーツ・エディタを用いることで解決できます。設計者は、磁気変圧器と DC インダクタの設計を、Allegro AMS Simulator 上の回路で使用する変圧器とインダクタの解析モデルを生成することができます。Magnetic パーツ・エディタは、トランスやインダクタの製造に必要な設計データも生成可能です。Magnetic パーツ・エディタから生成されたレポートには、製造業者が変圧器の開発で必要とされる多くのデータを含んでいます。

## ENCRPTION

モデルの暗号化機能は、56ビットの DES アルゴリズムを使用して暗号化することができます。

## SLPS

ケイデンスのシミュレーション・テクノロジーとMathWorks社のMATLAB/Simulinkのパッケージは、業界をリードする二つの解析ツールを統合し、強力な協調解析環境を提供します (SLPS)。 Simulinkは、マルチ・ドメインの解析と、ダイナミックなシステム設計のモデル・ベース設計のためのプラットフォームです。 SLPSを使用すれば、設計者は実際の電気的特性を持ったコンポーネントで、システムレベルの解析を可能にします。

設計プロセスの初期段階で、回路設計、及びシステムレベルの問題を発見することができ、試作の回数と設計検証の回数を減らすことが可能になります。 また、SLPSの統合環境は、電気・機械システムの設計において(制御ブロック、センサー、パワー・コンバータの様な)、システムと回路解析とを合わせた動作検証ができます。(図3参照)

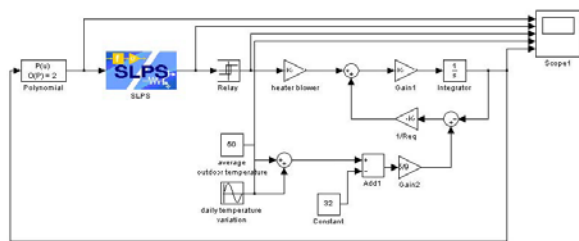


図3: SLPS インターフェースは、Allegro AMS Simulator、及びPSpice で作成された回路をMATLAB/Simulinkとの協調解析により、システム全体の解析を可能にします

## CHECKPOINT RESTART

この機能は、様々な解析時刻ポイントにおける解析の状態を保存し、保存した解析状態で任意の時刻から解析を再開できる機能です。これにより設計者は、解析時間を削減することができます。あらかじめ保存した時点から解析設定や回路パラメータを変更し、解析を実行することができます。

## AUTO-CONVERGENCE OPTION

このオプションにより、回路解析の収束性を保つためにシミュレータが自動的に収束パラメータの許容範囲を変更します。設計者は、このシミュレータの自動収束オプションを設定し、更に収束パラメータの微調整ができます。このオプションは、特にパワー・エレクトロニクス回路に有効です。

## ADVANCED ANALYSIS CAPABILITIES

設計者は、Advanced Analysisの解析機能を使用することに

より、回路の性能を最大限に引き出せるよう、回路定数を自動調整することができます。

4つの大きな機能として、感度、最適化、スモーク(過負荷)、モンテカルロ(歩留まり)の解析が可能であり、設計者は、パソコン上にプロトタイプ回路を設計し、自動的に回路の性能を上げることができます。また、複数の解析プロファイルの設定ができ、同一ウィンドウ上に各々のメジャメントの結果を表示するで、設計者は総合的な評価が可能となります。

## Sensitivity

感度解析オプションは、各部品それ自体の回路動作への影響度合いと、部品同士の影響を比較評価した後、目標とされる回路動作に対してどの部品が重要であるかを識別します。設計者は、感度の高い部品を選択し、回路動作を最適な状態に調整するため、これらの部品を最適化エンジンに渡し、パラメータを自動調整することができます。

## Optimizer

最適化機能は、解析を行った回路で利用可能です。この機能により、トライ・アンド・エラーの方法でテストを繰り返すより、素早く設計を最適化することができます。また、この機能は、目標と制約の中で性能を満たすための最良のコンポーネントの値を見つけることができます。設計者は、設計性能の改善や、新しい仕様を満たすための設計更新、トップダウン・デザインおよびモデル生成のためのビヘイビア・モデルの最適化、計測から得られた特性データと一致させるための回路パラメータ調整などに、この最適化機能を使うことができます。この最適化機能は、最小二乗法(LSQ)、改良型最小二乗法、ランダム、ディスクリート法の4つのエンジンを備えています。

## Smoke

スモーク・オプションは、消費電力、ジャンクション温度の上昇、2次降伏、または定格電圧/電流オーバによる部品ストレスを警告します。時間経過とともに、ストレスのかかった部品は回路の故障を引き起こす原因となります。設計者は、部品の安全動作限界と回路解析結果とを比較するために、スモーク解析を使用できます。もし動作限界を超えた場合は、スモーク解析によって問題のパラメータを特定することが可能です。また、スモーク解析で使用されるデイレイティングファイルは作成、修正、設定ができます。(図4参照)

Component	Parameter	Type	% Derating	Max Derating	Measured Value	% Max
Q1	Max C-E voltage	Average	50	6	6.8235	149
Q1	Max C-E voltage	Peak	50	6	6.8236	149
Q1	Max C-E voltage	RMS	50	6	6.9235	149
Q2	Max C-E voltage	Average	50	20	6.3962	43
Q2	Max C-E voltage	Peak	50	20	6.3962	43
Q2	Max C-E voltage	RMS	50	20	6.3962	43
Q1	Max C-B voltage	Average	100	20	8.1513	41
Q1	Max C-B voltage	Peak	100	20	8.1629	41
Q1	Max C-B voltage	RMS	100	20	8.1513	41
Q1	Maximum power dissipation	Peak	75	150m	57.720m	38
Q1	Maximum power dissipation	Average	75	150m	52.4620m	35
Q1	Maximum power dissipation	RMS	75	150m	55.4859m	37
Q1	Max E-B voltage	RMS	100	25000	772.1930m	31
C4	Maximum voltage	Average	90	45	10.6228	24
C4	Maximum voltage	Peak	90	45	10.6228	24
C4	Maximum voltage	RMS	90	45	10.6228	24
Q1	Maximum junction temperature	Peak	100	200	44.4471	23
Q1	Maximum junction temperature	Average	100	200	43.7465	22
Q1	Maximum junction temperature	RMS	100	200	43.7567	22
Q2	Max C-B voltage	Average	100	40	7.7673	20
Q2	Max C-B voltage	Peak	100	40	7.7673	20

図 4: スモーク解析は、回路解析の結果とデバイス・メーカから提供される部品規格とを比較し、安全動作範囲を超えて使用されている状態をハイライトします

## Monte Carlo

モンテカルロ解析は、各部品の定数が誤差範囲内で変更された時の、回路動作を統計学的に予測します。また、モンテカルロでは、大量生産で予測される歩留まりを検証できます。モンテカルロは、設計の仕様に基づいた歩留まりの計算、統計データの算出、確率分布のヒストグラムの結果表示、累積分布グラフの結果表示を行います。

## Parametric Plotter

一度、回路を作成し解析が実行されればパラメトリック・プロッタで複数のパラメータをスイープして解析できます。いくつかのデザインやモデルのパラメータ(任意の組合せ)をスイープでき、結果は表形式やグラフ形式で表示されます。設計者は、このパラメトリック・プロッタをデバイス/モデル/パラメータをスイープして使用、スプレッドシート形式でスイープの結果を表示、プローブのUIから測定結果の割当て、ポスト解析のメジャーメント評価することができます。

## 販売、テクニカル・サポートおよびトレーニング

OrCAD 製品群は、Cadence Design Systems, Inc.によって所有され、その製品に関する販売、テクニカル・サポート、トレーニングは各地域のケイデンス・チャネル・パートナーより提供されます。

## 必要なシステム

- Pentium 4 (32-bit) equivalent or faster
- Windows XP Professional, Vista Enterprise
- Minimum 512MB (1G or more -recommended for XP and Vista Enterprise requirements)
- 300MB swap space (or more)
- DVD-ROM drive
- 65,000 color Windows display with minimum 1024 x 768 (1280 x 1024 recommended)

cadence®

### 日本ケイデンス・デザイン・システムズ社

本社 / 〒222-0033 神奈川県横浜市港北区新横浜 2-100-45

営業本部

TEL: (045)475-8410 FAX: (045)475-8415

〒541-0054 大阪府大阪市中央区南本町 2-6-12 サンマリオン NBF タワー16F

TEL: (06)6121-8095 FAX: (06)6121-7510

URL: <http://www.cadence.co.jp/>

\* © 2010 Cadence Design Systems, Inc. All rights reserved worldwide.

CadenceおよびCadenceロゴは、Cadence Design Systems, Inc.の登録商標です。その他記載されている製品名および会社名は、各社の商標または登録商標です。

\* 掲載の内容は、2010年3月現在のものです。