

CADENCE SCHEMATIC CAPTURE

新製品を早急にマーケットに投入するために、設計者は、回路図エディタから単に基板レイアウト用にネットリストを出力する作業以外に、様々な課題に直面しています。設計者に求められる課題としては、最適な部品ライブラリを使用すること、リスクの軽減及び開発時間の短縮のために過去の設計資産を有効に再利用すること、作業の手戻りを削減するために後工程に必要な情報を付加すること、さらに、仕様合った動作を保証するためにシミュレーションやシグナル・インテグリティ解析を実行することなどが挙げられます。Cadence® Schematic Captureテクノロジーは、投資対効果に優れた包括的なソリューションを提供し、複雑なシステム設計における入力、修正、そして検証をスピーディに行えます。

CADENCE SCHEMATIC CAPTURE テクノロジー

ケイデンスのソリューションは、スキーマティック・デザイン・キャプチャの機能に幅広いシミュレーション及び基板レイアウトのテクノロジーを組み合わせる事により、設計思想を正しくデザインに反映し、回路図作成を短時間で行うことを可能にします。

新しくアナログ回路を設計する場合でも、既存の基板設計向けの回路図を修正する場合でも、さらにはHDLモジュールでデジタル・ブロック・ダイアグラムを設計する場合においても、設計者はケイデンスのスキーマティック・キャプチャ・テクノロジーにより、PCBデザインの入力、修正、そして検証を行うことができます。更に、強力な部品情報システム(CIS)を組み合わせることにより、推奨された部品や過去に実績がある部品データベースからの再利用を促進できます。

使いやすさを追求したテクノロジーにより、設計者はツール操作を意識せずに、回路設計そのものに集中することが可能となります。Windowsのユーザ・インタフェースに添って操作性と機能性を実現しているため、設計者は簡単に階層構成の回路図作成が可能で、複雑な回路図も見やすく表現できます。また、目的に応じたプロジェクト・ファイルの管理方法により、回路シミュレーション用、基板レイアウト用、そしてシグナル・インテグリティ解析用などの各々に適した回路図データを自由に切り替えて使用することが可能です。

デザイン・ルール・チェック(DRC)機能は、ユーザによるカスタマイズが可能です。これにより、工数のかかる設計変更(エンジニアリング・チェンジ・オーダー=ECO)の削減に貢献しま

す。設計後に必要となる部品リスト(BOM)は、回路図で使用した部品に含まれる情報から作成可能です。

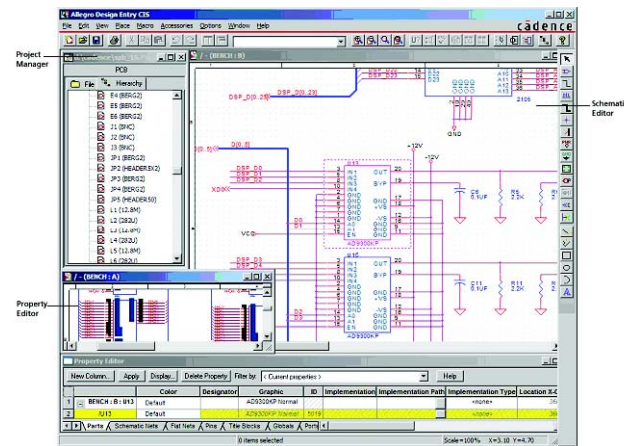


図1: スキーマティック・キャプチャ・テクノロジーのマルチ・ウィンドウ・インターフェースにより階層間のシンプルなナビゲーション、検索を実現

利点

- 素早く、直感的なスキーマティック編集
- デザイン・リユースを通じたスキーマティック編集効率向上
- FPGA や PLD のインテグレーションの自動化
- 単一スプレッドシートによる素早い変更
- 汎用的なデザイン・ファイル・フォーマットの入出力
- 優先、最新部品の再利用を促進する部品情報システム(CIS)とのインテグレーション

特長

SCHEMATIC EDITING

多くの機能を搭載した回路図エディタ(図1を参照)は、機能毎にまとめられた部品ライブラリから部品配置します。部品にはパッケージ情報が含まれており、設計者は回路図に対しデザイン処理を行い、ケイデンスが提供する多くのネットリスト・フォーマットを生成することができます。設計者は複数の回路図を同時に参照、編集することが可能であり、回路図データ間のコピー/ペースト作業により既存のデータを再利用することが容易になっています。更に、レイアウトのフローでは、基板に対するクリティカルな制約条件を回路図ページ上に付加することも可能です。

PROJECT MANAGEMENT

プロジェクト・マネージャは(図1を参照)、設計フロー全体においてプロジェクトに必要なすべてのリソースを一元管理し、データの連携を可能にします。ツリー表示の構造には、Cadence PSpice®、Allegro® AMS Simulators、OrCAD® Capture CIS、Allegro Design Entry CIS、及び各コマンドから生成されたデータを含むデザイン・ファイルなどから構成されており、各データへのアクセスが容易です。プロジェクト・マネージャのウィンドウからデザイン・ファイルへの操作や処理が行えます。更に、特定の設計フローの場合には、さらにユーザーに判りやすくするためのウィザード、デザイン・モジュール間の階層的関係を表示する階層ビューの機能も備えられています。

HIERARCHICAL DESIGN AND REUSE

回路を階層化することにより、同種の回路をいくつも作成する必要がなくなり、回路図の編集効率が向上します。階層ブロックを利用すると、設計者は同じ回路を複数作成せずとも、単に回路図ページに階層ブロックを複数回参照すればよいこととなります。接続に必要な階層ポートが自動作成されることで、回路全体の接続エラーの要因が低減されます。階層ブロックで使用されるポートとピンは、ブロック化した回路図の変更とダイナミックにアップデートされます。また、階層ブロックの表示・編集は他のパーツと区別され、作成する際のウィザードや、操作性を向上させる拡張メニューが付加されています。

LIBRARIES AND PART EDITING

ライブラリ・エディタはユーザー・インタフェースから直接アクセスされます。設計者は、回路設計を中断することなく、回路図ページから直接、またはライブラリを指定し部品の作成、編集が可能です。直観的なグラフィカル・コントロールであるため、回路図で使用する部品の作成と編集をスピーディに行なえます。新規に部品を作成する時は、既存部品の修正によって、手早く作成することが可能です。また、スプレッドシートからも新規部品を作成することができます。ライブラリ・パーツ・ジェネレータは、FPGA や PLD の設計ツールから出力されるピンファイル等をインポートできます。このパーツ・ジェネレータ機能を用いることでFPGAなどの多ピン用デバイス・パーツの作成・登録が簡単に行なえます。また、作成した部品を複数に分割することができます。

EASY DATA ENTRY

設計者は、スプレッドシート・プロパティ・エディタから部品属性の編集が可能であるため、回路図上の全ての部品、ネット、ピン、そしてタイトルブロック・プロパティやサブセットに対して設定値を手早く変更することが可能です。(図1を参照)操作は簡単で、回路図の各部品、範囲指定された部品、あるいはページ全体を選択して、編集のコマンドを選択するだけです。あとは、部品名、ネット名、またはピン情報など、編集が必要な項目を選択し入力や修正を行います。

COMPONENT INFORMATION SYSTEM

ケイデンスの Allegro Design Entry CIS ならびに OrCAD Capture CIS では、部品データベースと連携した、部品情報システム(CIS)の機能オプションをスキーマティック・キャプチャ・テクノロジーに統合できます。これらの製品は、部品の効率的なマネジメントを実現し、設計の無駄な工数の削減と最適な部品選定によって、生産コストの抑制を支援します。例えば、再利用のために既存部品を検索する時間や、手作業で部品情報を入力する時間、そして部品データのメンテナンスを行う時間などを削減できます。設計者が要求する電気的特性から部品の検索を行うと、CIS はデータベースから自動的に関連部品情報を検索し、設計に必要な情報を参照できます。(図2を参照)

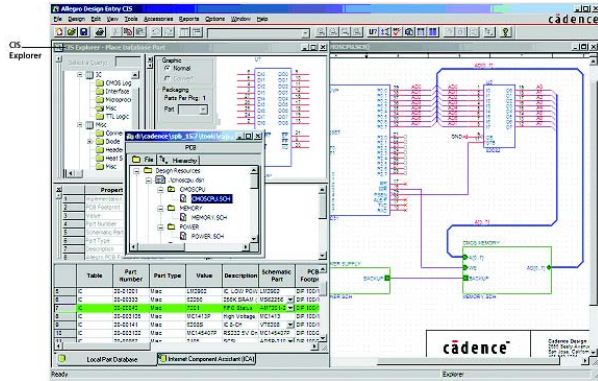


図2: 総合的な部品情報の表示による確かな部品選択ができ、設計プロセスの後工程から設計の手戻りが生じるリスクを軽減

CISは、独立した設計チームでも、複数の設計部門間でも協調設計を必要とする環境に有効です。CISにより、設計者は設計プロセスの初期段階から一元化された部品情報へのアクセスが可能となります。部品仕様の全てを基板設計者や他のチーム・メンバーへと渡されるようになるため、設計プロセス後半で発生する手戻りのリスクが低減されます。また、購買情報へのアクセスが可能となるため、社内の標準部品、低コストで在庫のある部品を設計者が選択可能となります。機能の一つである、パーツ・マネージャを利用し、MRPやERPシステムに登録された情報や、設計のデータベースにアクセスし、社内で作成したデータベースとの連携により、CISデータベース以外の情報を付加したBOMを自動生成できます。

ONLINE COMPONENT LIBRARY

設計者は、インターネットを接続した環境であれば、CISからThe ActivePartsオンライン・コンポーネント・ライブラリにアクセスし、2百万以上の部品からの部品検索、選択が可能です。外部へ部品アクセスできるこの環境は、デザイン柔軟性と共に、新しい設計環境を提供します。

EXTENDED CIS DOCUMENTATION

CISは強力なレポート生成機能を提供します。スキマティック・キャプチャのみでは、回路図上の部品属性には限られた情報を持ちますが、CISを使用することで、部品データベースに存在する豊富な情報を取り入れることが可能となります。また、CISでは、レポート作成時に最新でかつ、完全な部品情報を用いたBOMの生成、またこのBOMからCrystalレポート・エンジンを通じてレポート出力することができます。

ARCHITECTURE/DATABASE INTEGRATION

- プログラマブル・ロジック・デザインやアナログ・シミュレーション向けへのデザイン変更が可能
- 同一のデザイン・ファイルで、回路作成とシミュレーションを実現
- Microsoft ODBC 準拠データベースで動作
- 設計者はMRP、ERP、PDMシステムのデータに直接アクセス可能

販売、テクニカル・サポートおよびトレーニング

OrCAD製品群は、Cadence Design Systems, Inc.によって所有され、その製品に関する販売、テクニカル・サポート、トレーニングは各地域のケイデンス・チャンネル・パートナーより提供されます。

仕様

必要なシステム

- Pentium 4 (32-bit) equivalent or faster
- Windows XP Professional, Vista Enterprise
- Minimum 512MB (1G or more recommended for XP and Vista Enterprise requirements)
- 300MB swap space (or more)
- DVD-ROM drive
- 65,000 color Windows display with minimum 1024 x 768 (1280 x 1024 recommended)



日本ケイデンス・デザイン・システムズ社

本社 / 〒222-0033 神奈川県横浜市港北区新横浜 2-100-45
 営業本部
 TEL: (045)475-8410 FAX: (045)475-8415
 〒541-0054 大阪府大阪市中央区南本町 2-6-12 サンマリオン NBF タワー16F
 TEL: (06)6121-8095 FAX: (06)6121-7510
 URL: <http://www.cadence.co.jp/>

* © 2010 Cadence Design Systems, Inc. All rights reserved worldwide.
 CadenceおよびCadenceロゴは、Cadence Design Systems, Inc.の登録商標です。
 その他記載されている製品名および会社名は、各社の商標または登録商標です。
 * 掲載の内容は、2010年3月現在のものです。