

C-TO-SILICON COMPILER

C-to-Silicon Compilerは論理合成エンジンを内蔵することにより、生成されたRTLの論理合成時のタイミング収束性を向上させた次世代高位合成ツールです。

シミュレーション・モデルによる各種検証及び等価性検証、ECO対応など幅広く対応しておりESL(Electronic System Level)設計の生産性を向上させます。

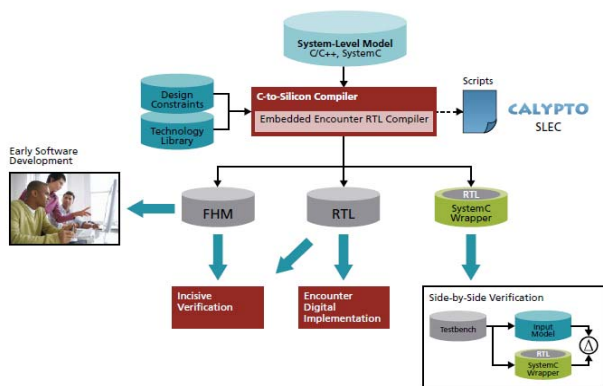
次世代 SystemC ベースの高位合成ツール

C-to-Silicon Compilerは、SystemC 記述を入力としてRTLを生成する高位合成ツールです。生成されたRTLは論理合成においてタイミング収束性が高く、インプリメンテーション後に最高品質が得られる高位合成結果を提供します。

主な特長

- 論理合成エンジンとの融合による高品質なRTL生成
- SystemC 合成サブセット記述サポート
- ECO(Engineering Change Order)のサポート
- 強力な解析環境を提供するGUI
- スケジュール前後での消費電力見積もり機能
- OSCI TLM 1.0 サポート
- アーキテクチャ探索を効率よく行うセーブ・リストア機能
- 合成制約と設計の完全分離
- 等価検証スクリプト出力機能

C-to-Silicon Compiler の入出力



C-to-Silicon Compiler の入出力

- 入力
 - SystemC ソースコード
 - 論理合成用ライブラリ
 - 高位合成制約
- 出力
 - RTL(Verilog-HDL)
 - Fast Hardware model (FHM)
 - Verilog-HDL ビヘービアモデル
 - 等価検証用スクリプト
 - シミュレーション用 SystemC ラッパー

論理合成エンジンとの融合による高品質な RTL 生成

C-to-Silicon Compiler はスケジューリングにおけるタイミング精度を向上させるため、高位合成ツールとして初めて論理合成エンジン(Encounter RTL Compiler)を内蔵しました。論理合成エンジンとの融合により高位合成のスケジューリング処理の際のリソースタイプやリソーススピードをダイナミックに切り替えることができ ATP(Area/Timing/Power)の見積もり精度を向上させ、人手設計と同等ないし勝る RTL を生成することが可能となり、入力ソースコードによって生じるばらつきを抑えた高品質な RTL の生成を実現しました。従来高位合成ツールは制御系アプリケーションに対してはタイミング精度の問題が指摘され、生成された RTL が要求されたタイミングを満たすことができませんでした。C-to-Silicon Compiler は演算リソースが少ない制御中心のアプリケーションの場合でもタイミング精度を落とすことなく見積もることが可能であり、正しいス

ケジューリングを行うことで制御系のアプリケーションでも高品質なRTLが生成できます。

SystemC 合成サブセット記述サポート

C-to-Silicon Compiler は SystemC の合成サブセットを幅広くサポートしています。また SystemC は C/C++ の構文をサポートしていますので、設計者は容易に言語仕様を学習することができます。

ECO(Engineering Change Order)のサポート

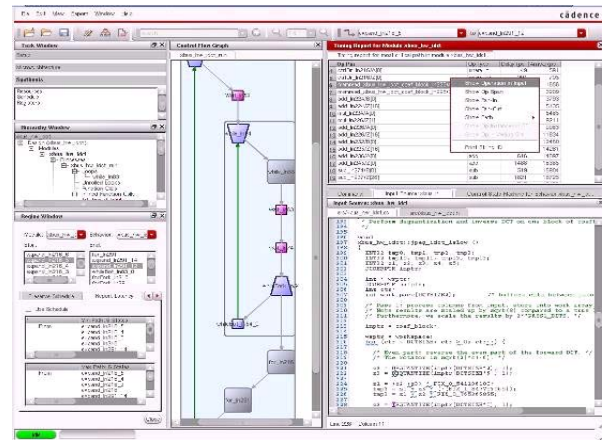
高位合成を使うときのインプリメンテーション上の大きな問題の一つは、入力動作記述を少し修正しても生成される RTL が大きく変わってしまうことです。高位合成ツールで生成された RTL は可読性が低いため従来の RTL 設計で使われている ECO(Engineering Change Order)フローが適用困難となります。C-to-Silicon Compiler はこの課題を解決するためにインクリメンタル合成という入力ソースコードの差分を検出して、変更の差分に対して新たに合成を行い、変更の無いところは前の合成結果を利用して RTL を生成する機能を実装しています。

このインクリメンタル合成の機能を使うことにより SystemC コードの変更に対して、生成された RTL での変更も少なくなります。さらに生成された RTL をケイデンスの Conformal ECO ツールに入力することにより、SystemC からレイアウト・ネットリストまでの ECO フローを自動化できます。

強力な解析環境を提供する GUI

C-to-Silicon Compiler ではユーザフレンドリーな GUI を用意しています。設計のセットアップ、アーキテクチャの探索、合成、解析といった手順に応じた各種のビューアがあります。合成結果も視覚的に分かりやすいビューアでタイミング、面積、電力の結果をレポートされ、問題の解析及び改善に役に立ちます。

高位合成における解析の重要な点は各演算器等のリソースがソースコードと生成された RTL がどのように対応しているかを容易に確認できることです。独自のデータベースにより強力なリンク機能を実現しておりますので、解析作業がよりの確に行なうことが可能です。



GUI 画面

C-to-Silicon Compiler の斬新なアイデアと優れた技術は今後のハードウェア設計のみならず、システムレベル設計の分野にも大きく貢献します。大規模、高速、低消費電力の設計を短時間に完成させるための最も有力な設計ツールです。

スケジュール前後での消費電力見積もり機能

C-to-Silicon Compiler ではスケジュール後の電力見積もりはもちろん、スケジュール前のアルゴリズムレベルでの電力見積もりができます。さらに電力を見積もるための TCF (Toggle Count Format) ファイルを読み込むことができ、実際の入力テストパターンで消費電力の値を見積もって、SystemC 上のオブジェクトとリンクしながらボトルネック解析ができます。短時間に色々なアーキテクチャを試しながら、電力/性能/面積のトレードオフを検討することができます。

OSCI TLM 1.0 サポート

OSCI TLM 1.0 も標準サポートしており、既存の SystemC TLM モデルからの高位合成も可能となります。

アーキテクチャ探索を効率よく行なうセーブ・リストア機能

C-to-Silicon Compiler データベースのセーブとリストア機能を利用すると、任意の段階での合成結果の保存と再開ができます。今までの合成結果を再利用して、別の合成制約を試行することができます。色々なアーキテクチャを短時間かつ効率的に試すことができますのでアーキテクチャ探索時に欠かせない便利な機能の一つです。

合成制約と設計の完全分離

設計の動作・構造・タイミングをデータベース化することによって、合成制約は全てデータベースの属性をアクセスする形で実現しています。ソースコード中に設計制約を埋め込むような手法とは違い、合成制約と設計を完全に分離することができます。こうすることによってソースコードに変更を加える必要がなく設計の“オリジナル性”を保つことができます。

等価検証スクリプト出力機能

等価性検証スクリプトとしてカリプト・デザイン・システムズ社の SLEC に対応した検証スクリプトを出力できます。

プラットフォーム

- Linux X86 (IA32)

OS

- Red Hat Enterprise Linux 4 and 5
- SUSE Linux Enterprise Server 10

cadence®

日本ケイデンス・デザイン・システムズ社

本社 / 〒222-0033 神奈川県横浜市港北区新横浜 2-100-45
営業本部
TEL.(045)475-8410 FAX.(045)475-8415
〒541-0054 大阪府大阪市中央区南本町 2-6-12 サンマリオン NBF タワー16F
TEL.(06)6121-8095 FAX.(06)6121-7510
URL <http://www.cadence.co.jp/>

* © 2010 Cadence Design Systems, Inc. All rights reserved worldwide.
CadenceおよびCadenceロゴは、Cadence Design Systems, Inc.の登録商標です。
その他記載されている製品名および会社名は、各社の商標または登録商標です。
* 掲載の内容は、2010年3月現在のものです。



販売代理店 **イノテック株式会社** ICソリューション本部

〒222-8580 神奈川県横浜市港北区新横浜 3-17-6
TEL.(045)474-2290,2291,2293(営) FAX.(045)474-2395
〒541-0054 大阪府大阪市中央区南本町 2-6-12 サンマリオン NBF タワー16F
TEL. (06)6121-7703(営) FAX. (06)6121-7720
URL <http://www.innotech.co.jp/>