

# ENCOUNTER DIGITAL IMPLEMENTATION SYSTEM



ケイデンスのEncounter Digital Implementation Systemは、フラットおよび階層設計における低消費電力やミックスシグナルの課題に対応し、最先端プロセスでの設計収束を可能にするソリューションです。RTL合成、プロトタイピング、フロアプラン、チップのインプリメンテーション機能や統合されたサインオフ環境をサポートすることにより、早期に精度の高いフルチップの実装を設計者へ提供します。また、優れたRTLと物理合成、プロトタイピング、チップ・サイズ探索、自動フロアプラン合成、クロック・ツリー、クロック・メッシュ、ナノメーター配線、ミックスシグナル対応、低消費電力インプリメンテーション、そして製造工程でのばらつき考慮や最適化などの機能が統合されています。これらの機能や優れた技術により統合された解析機能、最適化機能により、高品質なタイミング、シグナル・インテグリティ、エリア、パワーや歩留まりを提供します。

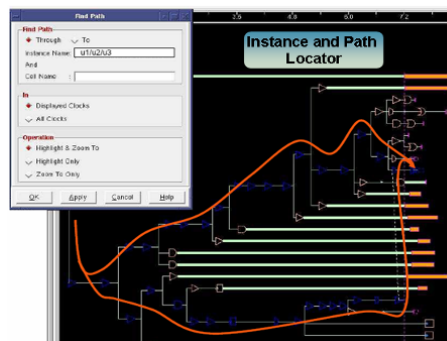
## 利点

- 複雑で大規模なチップ設計で業界トップのパフォーマンスを提供
- RTL 合成、プロトタイピング、物理合成、フルチップ実装や最終サインオフ機能の統合
- 一貫して拡張性のあるマルチコア対応パラレル・プロセッシング機能を提供
- 低消費電力、ミックスシグナルや先端プロセス・デザインの実装や最適化が可能
- 高速なデザイン探索機能やダイサイズ検索機能、自動フロアプラン合成や設計収束のための柔軟で予測可能なランキング機能により正確なチップ検証が可能
- マルチモード・マルチコーナー (MMMC) 解析、最適化機能
- ロケーション・ベースのチップの特性ばらつき (LOCV) 技術、タイミングやリーケージの解析及び最適化を含む最新の統計的な手法への対応
- サインオフを考慮したインプリメンテーションや、直感的・視覚的なデバッグ機能 (グローバル・タイミング、パワー、クロック) による生産性の向上
- パッケージとチップの協調設計におけるチップのコンカレントな設計及び最適化、エリア I/O 及びペリフェラル I/O の自動配置と最適化、フリップ・チップ RDL 配線機能を提供

## 特長

### 多様なインプリメンテーション形式への対応

Encounter Digital Implementation System は、フラット設計や階層設計、単一電源や複数電源を含む全てのインプリメンテーション形式に対応しています。



高速かつ自動化されたダイサイズの探索や、フロアプラン合成、パワーグリッド設計、早期の電源レール解析及び最適化、配置、クロック・ツリー合成、配線、配置後最適化、デバッグ機能 (グローバル・タイミング、クロック、パワー) を有したシステムは、あらゆる手法を実行するための強固な設計環境を提供し、短期間での設計を実現します。フルチップでのフラット・プロトタイピングは、完全に正確な物理情報、タイミング、クロックやパワー情報を扱うことができ、より正確な解析によるデザインの問題を早期に

解決することができます。階層設計機能は、最適なピン配置の検討、タイム・バジェットティング、クロック分布の正確な予測やパワーグリッドの解析により、論理階層をどのように最適な物理モジュールに分割すべきかを物理設計者が評価するための手助けになります。

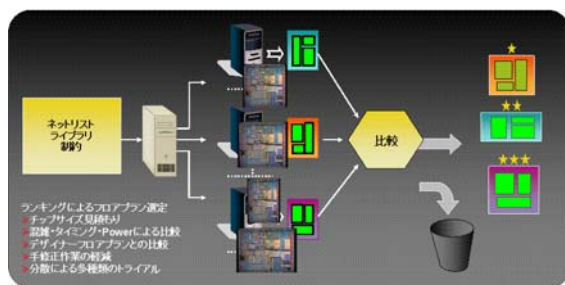
### 高度な RTL 合成

高性能なシステムに対する RTL 合成は、大規模を扱えるだけでなく、デザインを最適化する為の高度な機能が必要です。

Encounter Digital Implementation System は、レジスタ・リタイミング、正確な物理レイアウト予測や多電源を考慮した論理合成等、高品質を実現するための機能をサポートしています。物理情報を考慮した論理合成技術は、設計者が他の論理合成ツールから得られたゲートレベル・ネットリストを劇的に改善し、その結果、優れたタイミングやエリア、パワーを実現します。

### 自動フロアプラン合成及びランキング

今日の物理設計チームは、設計の実現可能性を判断するために、設計の初期のネットリストや複数のバージョンのネットリストを用いています。その際、エリアや動作速度、パワー等の必要条件を満たした上で、設計を実装することができるかどうかを判断する必要があります。



Encounter Digital Implementation System は、設計者の手助けとなるフロアプランの原型を素早く生成するため、実績のある自動フロアプラン合成や、タ

イミング、パワー、エリア、混雑度を考慮した配置、高速なグローバル配線、配置後の最適化が可能で、アーキテクチャとインプリメンテーションとのギャップを埋めます。

これは、自動的なダイサイズの縮小機能や、相対的なフロアプランニング機能のような、柔軟性と編集性を兼ね備えた機能を用いることで、設計者が素早く精度の高い最終的なフロアプランに到達することを可能にします。

さらに、新しい自動ダイサイズ探索、フロアプラン合成及びランキングの技術は、事前に設定された評価基準に基づいて複数のフロアプランを自動的に生成・分析するため、設計者は、できるだけ多くの物理的な解となるスペースを検討し、設計の実現可能性や品質を評価することができます。

### 先進の設計収束

Encounter Digital Implementation System のグローバル・フィジカル・シンセシス機能は、ネイティブ・サインオフ・エンジンを使用して、タイミング、シグナル・インテグリティ(SI)、パワー、エリア、混雑度、配線長、及び歩留まりを多面的かつ並列的に最適化しつつ、また同時に複数のパスを最適化します。さらに、徹底した MMMC 解析と最適化技術を使用して、パフォーマンス、精度、処理能力を大幅に改善させます。

### 先進のナノメーター配線

特許取得済みで独自のアーキテクチャである SMART 配線テクノロジー(SI、製造製の考慮、配線性、及びタイミングの最適化)、リソを考慮した配線、そして業界唯一のスーパー・スレッディング・テクノロジーにより、ケイデンスの NanoRoute® Router は、ブロック・レベルおよびトップ・レベルにおいて、比類のない品質とパフォーマンスを提供します。NanoRoute は、最終的な DRC クリーンでテープアウト可能な GDSII データベースのための複数の設計対象を同時に処理することができます。

また、NanoRoute は、先端のグリッド・ベース及びグラフ・ベースでの配線と最適化テクノロジーを拡張して、

最新の 45、32 ナノメートル設計ルールをサポートしています。NanoRoute は、ダブル・カットビアの使用、ワイヤー・スプレディングとワイドニング、ばらつき制御、リソグラフィ・ホットスポットの防止と最適化を含む一連の design-for-yield (DFY) 機能を備えています。

さらに、NanoRoute の スーパー・スレディング・テクノロジーは、マルチ・スレディング、マルチコア、パラレル・プロセッシング機能から最適なものを組み合わせることができます。これにより、設計者は、容易に利用でき、かつコスト効率の良い 32 ビット演算テクノロジーと、最新のマルチコア・コンピュータの双方において、1 時間あたり数百万のネット配線を行うことができます。

### 先端のプロセスのばらつきのサポート

製造におけるばらつきは、デバイスとインターコネクットの構造の変更をもたらし、それらの電氣的振る舞いと誤差を引き起こします。65 ナノメートル以降では、プロセスのコントロールは、より重要な課題となり、デザインの全体の大きさの割合からすると、より大きなばらつきをもたらします。その結果、従来のサインオフの基準をパスした設計でも、プロセスのばらつきが原因で、シリコンができたときには、うまく動作しないかもしれません。インプリメンテーション中のタイミング、SI、そしてパワーにおけるファウンダリがサポートするサインオフ・テクノロジーに加えて、Encounter Digital Implementation System は、ロケーション・ベースのオンチップのばらつき (Location-based on-chip variation: LOCV) を備えており、論理レベルと物理位置を使用して最適なデレイレーティング・ファクタを選択します。

LOCV は、従来のデレイレーティングに関連した過度のガードバンドを排除し、タイミング収束を改善します。

Encounter Digital Implementation System は、プロセス・パラメータの可変性を正確に算出する強力な正確な統計的スタティック・タイミング解析 (statistical static timing analysis: SSTA) により、従来のシングルとマルチコーナー・ベースの手法と

比べてタイミングの収束性を向上させます。

Encounter Digital Implementation System は、effective current source models (ECSMs) を使用して、ばらつきの影響を受けやすいクロックとデータ両方のパス上のセルとネットを特定し、プロセス・ウインドウの全範囲でタイミング違反の可能性を見出します。これにより、悲観性を排除し、ガードバンドを制限して、チップのパフォーマンスを改善しながらエリアと消費電力の削減をもたらします。

Encounter Digital Implementation System の SSTA、統計的リーケージ解析、および最適化機能は、複数の解析の必要性を軽減することにより、設計期間を短縮します。

設計者は、ファウンダリが認定する統計的なソリューションを使用して信頼性のあるテープアウトを行い、シリコン上のタイミングとパワーの目標を達成することができます。

### 先進のグローバルなデバッグ機能

今日の設計が複雑さを増すにつれ、相互に依存した設計収束の問題に対するデバッグの必要性が増えつつあります。これらの問題は、しばしば設計期間の後半で起こり、最終的なテープアウトにとっては致命的となります。

Encounter Digital Implementation System の解析、デバッグの機能により、設計者は、相互に関連したタイミング、クロック、パワーの問題に素早くかつ視覚的に取り組むことができ、フィジカル設計において迅速に実行可能な "what-if" 解析技術を使用して、これらの問題を素早く解決することができます。

### 低消費電力設計

先進の低消費電力手法では、パワーゲーティング (MTCMOS) や、電源電圧、クロック周波数を最適な値に制御することで低消費電力化をはかる

Dynamic Voltage and Frequency Scaling (DVFS) などを複数のパワー・ドメインに使用します。

Encounter Digital Implementation System は、設計フローを通して複数のパワー・ドメインを認識するため、これらの実現を簡素化できます。

フロアプラン、配置、クロック・ツリー生成、タイミング最適化、配線、解析など、設計フローの全てのステップで、全てのパワー・ドメインを認識して最適化を行います。また、完全な MSV(Multi Supply Voltage) の管理を行うため、自動的に電源接続を完了し、レベル・シフトの自動配置を可能にします。

Encounter Digital Implementation System は、設計・検証から、最終のインプリメンテーションやサインオフ検証まで全てのフローで先進の消費電力削減手法である Common Power Format(CPF)をサポートしています。

### 設計の歩留まり向上機能

特に高性能デザインにおいて、歩留まりは先端プロセス・ノードで、最も大きな課題の1つです。

Encounter Digital Implementation System は、RTL から GDS まで歩留まりの最適化が可能です。

設計フローの任意な時点で、設計者は、歩留まり解析が実行でき、歩留まりへの影響や改善を可能とする複数の方法を分析して、タイミング、SI、パワー、およびエリアなどを含む全ての最適化を考慮しながら、設計を最適化します。鍵となる DFY 機能は、ワイヤー・スプレディング、ワイヤー・ワイドニング、ダブル・カット・ビアの挿入、シングル・ビアの削減や最適化、クリティカル・エリアの解析と最適化、真のリソグラフィ・ホットスポットの防止と最適化、CMP を考慮したメタル・フィルの挿入、そしてランダムやシステマティックな不良の視覚的解析、およびテキスト・ベースのレポート出力などです。

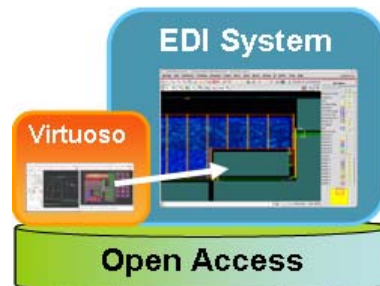
Encounter Digital Implementation System の DFY 機能により、設計者は迅速かつ正確に製造の可変性を予測して、プロトタイプと実際のレイアウトの実行中に歩留まりを最大にすることができます。

### ミックスシグナル設計

今日の高性能設計は、アナログ・ブロックの占める割合が多くなっています。

Encounter Digital Implementation System は効率的に、かつ効果的に、これらのミックスシグナル設計を行うことができます。カスタムとデジタルのインプリメ

ンテーションにおいて共通のデータベースで統一することで、ミックスシグナル・フロアプラン、配線、解析、基盤ノイズ解析が可能となります。加えて、A/d(ラージ・アナログ、スモール・デジタル)、D/a(ラージ・デジタル、スモール・アナログ)、そして D(デジタル)デザインにおける、例えばチップ・フィニッシュ後のような設計の後期段階での engineering change orders (ECOs)も可能となります。



### コンカレントなチップ/パッケージ設計: フリップ・チップのサポート

Encounter Digital Implementation System でのフリップ・チップ・フロアプランニングやレイアウトは、IC を設計している間、パッケージ制約と寄生情報を含むことで、チップとパッケージのコンカレントな設計を可能にします。また、複数のタイプの IO メントロジをサポートしており、コンカレントにコア・インスタンスを考慮したエリアとペリフェラル IO の最適化、信号配線および電源配線を認識して自動 RDL 配線を行います。この RDL 配線は 45 度配線スタイルもサポートしています。Encounter Digital Implementation System は、従来手作業で行っていた IO の配置や最適化作業を削減することができます。

この成熟したテクノロジーは、複数の顧客のテープアウトによってすでに実証されています。

### サポートプラットフォーム

- lnx86: Linux(x86 , x86\_64) 32/64Bit
- sol86: Solaris(x86\_64) 64Bit
- sun4v: Solaris(ultraSparc)64Bit
- ibmrs:AIX(power) 64Bit

**cādence**<sup>®</sup>

**日本ケイデンス・デザイン・システムズ社**

本社／〒222-0033 神奈川県横浜市港北区新横浜 2-100-45  
営業本部  
TEL.(045)475-8410 FAX.(045)475-8415 URL <http://www.cadence.co.jp/>  
〒541-0054 大阪府大阪市中央区南本町 2-6-12 サンマリオン NBF タワー16F  
TEL.(06)6121-8095 FAX.(06)6121-7510



販売代理店 **イノテック株式会社** ICソリューション本部

〒222-8580 神奈川県横浜市港北区新横浜 3-17-6  
TEL.(045)474-2290.2291.2293(営) FAX.(045)474-2395  
URL <http://www.innotech.co.jp/>  
〒541-0054 大阪府大阪市中央区南本町 2-6-12 サンマリオン NBF タワー16F  
TEL. (06)6121-7703(営) FAX. (06)6121-7720

\* © 2010 Cadence Design Systems, Inc. All rights reserved worldwide.  
CadenceおよびCadenceロゴは、Cadence Design Systems, Inc.の登録商標です。  
その他記載されている製品名および会社名は、各社の商標または登録商標です。  
\* 掲載の内容は、2010年3月現在のものです。