

## ENCOUNTER TIMING SYSTEM

消費電力のコントロールをはじめとする様々な設計課題の解決のためには、包括的なタイミング、シグナル・インテグリティそしてパワー解析のソリューションが必要です。これらのソリューションは、先端ノードにおいても高精度を実現し、かつ最も早いターン・アラウンド・タイム(TAT)を提供することが求められます。ケイデンスの Encounter® Timing System は、数百万ゲート規模のデザインの解析とデバッグを行う設計者に、大幅な生産性の向上をもたらします。Encounter Timing Systemを使用することで、設計者は、一貫性のある統合されたスタティック・タイミング解析(STA)環境から最適化とサインオフのためのメリットを得ることができ、すばやく設計を収束させて、設計を完了することができます。

## ENCOUNTER TIMING SYSTEM

業界で認証され、すでに製品への適用で実証された Encounter Timing System は、フルチップのサインオフ STA ソリューションで、ゲートレベル・タイミング、シグナル・インテグリティ(SI)、消費電力、熱、そして統計的解析機能から構成されます。最高品質のタイミング解析と使いやすさを求めているフロントエンドの設計者と、完全なシリコンレベルでの精度の高いサインオフ・ソリューションを求めているバックエンド設計者の両方の要求を満たします。タイミングやシグナル・インテグリティの解析と最適化の両方の基礎になっているテクノロジーは、10年間にわたって実際の設計に使用されてきました。Encounter Timing Systemを使用することで、設計者は、主力のデジタル設計や先端のデジタル設計において、サインオフのタイミング精度、使いやすさ、そして機能性などの際立った利点を得ることができます。

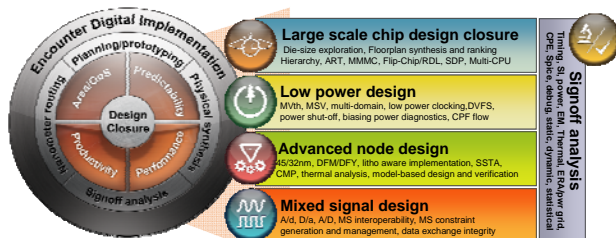


図 1 Encounter デジタル IC 設計プラットフォーム

## 利 点

- 主要なファウンダリ、ASIC ベンダー、IP ベンダー、IDM によるサポート
- Encounter Digital Implementation System との統合
  - 一貫性のある、統合された STA と統計的スタティック・タイミング解析(SSTA)の最適化とサインオフ機能を実現
  - 設計の収束をより高速にし、タイミング収束を加速
  - 共通データベースを持つことで GUI 等のセットアップが容易
- Encounter Power System との統合
  - 共通コックピットを持ち、データベースや GUI を共有
  - ゲートレベルのパワー解析、IR ドロップの影響を考慮したタイミング、ノイズ、クロック・ジッタ解析を同一環境で実行可能
- 単一製品による簡素化
  - タイミング、シグナル・インテグリティ、消費電力、熱、および SSTA 解析を統合サインオフまでの高い処理能力
  - タイミングとノイズ解析でのマルチスレッド処理
  - 分散およびマルチスレッドを組み合わせた処理によるコンカレントなマルチモード/マルチコーナー (MMMC) 解析
  - 画期的なメモリ・アーキテクチャによる、大幅なキャパシティの向上

- 生産性の向上とテープアウトまでの期間短縮
  - MMMC を含む、グローバル・タイミング・デバッグによる根本原因とボトルネック解析のスピード・アップ
  - MMMC やシグナル・インテグリティを考慮したインクリメンタルな ECO
  - 疑似ノイズエラーを 10 倍減少させる先進の解析アルゴリズム
- 他に見ることのできない高精度の実現
  - 過剰なオーバーデザインの回避
  - 対 SPICE 比 2%以内の高精度な遅延計算エンジン
  - カレント・ソース・モデルの効果的な使用による先端ノード設計への対応
  - 遅延やシグナル・インテグリティの SPICE 比較を容易に行えるクリティカル・パス・シミュレーション機能を包含

メンタル ECO と what-if 解析を提供し、小規模な設計変更の実行時間を減少させることにより生産性を向上させます。

### 強力な GUI

- コマンドの終了、履歴、コンテキスト・ハイライトを持ったコマンド・コンソール
- デザイン・オブジェクト名や制約のグループ・タイプをもとに特定のタイミング制約を見つけるためのタイミング制約のビューアー
- タイミングレポートから相互プローブを行う機能を持った回路図とレイアウトのビューアー
- Tcl プロセジュアと相互リンクや拡張を行う機能を持ったスクリプトの評価を行うスクリプト・エディタ
- 存在しないまたは矛盾するライブラリやデザイン・データのチェック機能

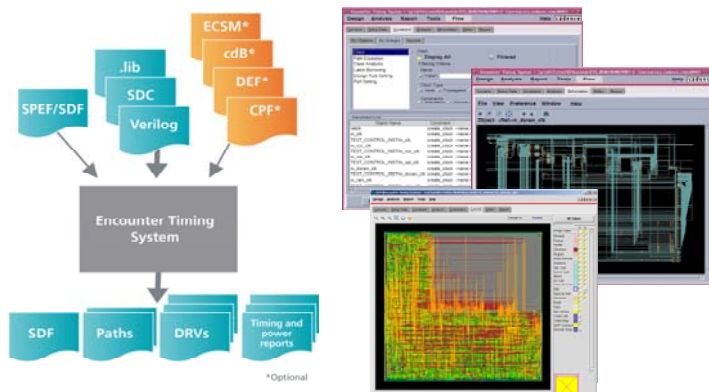


図 2 Encounter Timing System のデータ・フローとユーザ・インターフェース

### 特長

Encounter Timing System は、STA、正確な遅延計算、先進のモデリング機能、そしてグローバル・タイミング・デバッグ機能を統合した包括的なサインオフ検証ソリューションです。設計者は、Encounter Timing System を使用することで、数百万ゲートという大規模デザインに対して一度で動作するシリコンを製造し、製品を迅速に市場投入することが可能になります。Encounter Timing System は、インクリ

### 最適化とサインオフのための整合性のある統合された STA

設計者は、これまでインプリメンテーションではある STA 手法を用い、サインオフ解析には別の STA 手法を用いていました。これでは、サインオフ解析の間に不一致が見つかった場合、配置・配線システムと合わせた修正の手直しが必要となります。Encounter Timing System は、配置・配線段階での最適化のための STA と、サインオフ検証のための



## 高速、高精度サインオフ

Encounter Timing System は、SI と IR ドロップの高精度な解析と、タイミングと機能の両方に与える影響の解析機能を提供します。Encounter Timing System は、広くユーザに使用され、数多くのテープアウトで実証済みのケイデンスの CeltIC® Nanometer Delay Calculator (NDC) エンジンの上に構築されています。また、Encounter Timing System は、より正確なエフェクティブ・カレント・ソース・モデル・ライブラリ (ECSM) を採用しており、クロストークの遅延、ノイズ(グリッチ)、タイミング、および IR ドロップの複雑な効果を解析します。

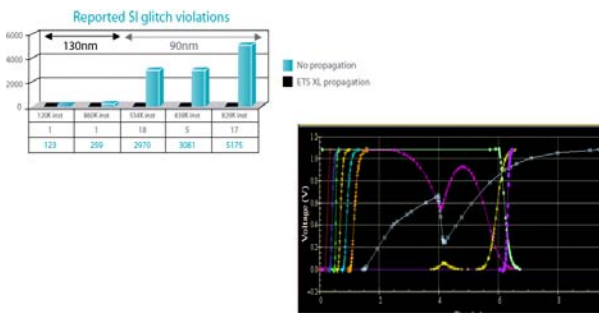


図5 SI悲観性削減(NPPR)とクリティカル・パス・シミュレーション

## 先端ナノメーターの電氣的解析

数百万インスタンスを持つナノメーター設計のインプリメンテーションは、非常に効率的でかつ高精度な遅延計算を必要とします。さらに設計者は、IR ドロップやクロストークのような SI 効果や、多電圧レベルやレベル・シフトを使った先進の低消費電力設計手法を考慮しなければなりません。

Lookup テーブルや多項式モデルに基づいた遅延計算は、今日のナノメーター回路に対しては十分な正確性をもたらすとはいえません。Encounter Timing System はエフェクティブ・カレント・ソース・モデル(ECSM)をサポートしており、特に複雑なネット、長い RC ネットワーク、および複数のドライバ・シナリオ(クロック・メッシュ)に対して、実際のシリコン性能を正確に予測できます。

## 正確なクロストーク解析とより高速な SI クロージャ


Encounter Timing System は、セルとトランジスタレベルのモデルを組み合わせるにより、クロストークの影響を計算します。最も非線形の動作を示すノイズの多いネットに対し、Encounter Timing System は、ノイズが遅延値に及ぼす影響を正確に計算するために、on-the-fly 高速の SPICE シミュレーション・エンジンを使用しています。またこの製品は、クリティカルなタイミング・パスに対する現実的な SI 遅延効果を確認なものとするため、独自のパス・ベース・アライメント (PBA) 手法を採用しています。SI における遅延計算は、PBA なしには非現実的、あるいは過度に悲観的なワースト・ケースのパスの遅延を計算してしまう可能性があります。さらに悲観的なパスの遅延を除去するには、ノイズ・パス・ペシミズム・リムーバブル(NPPR)を通して行います。NPPR は、最大のノイズ遅延の変化をパス上の個々のネットでは考えず、クリティカル・パス全体に対し考慮して捉えます。

また Encounter Timing System は、グリッチ・ノイズをエンド・ポイントのレジスタまで伝播させ、レジスタが不安定な状態にドライブされないことを確認し、機能的な正しさを保証します。これら独自の PBA、NPPR、およびグリッチ・ノイズ伝播機能により、誤ったクロストーク問題の数が大幅に削減されます。その結果、配置・配線の作業が減り、SI の収束までの繰り返しが劇的に減少します。

## 自動マルチモード・マルチコーナーサインオフ ECO

設計者は、Encounter Timing System のユニークなマルチモード・マルチコーナー(MMMC)解析構造により、全てのモード・コーナーにわたって素早い解析やタイミング問題のデバックを行うことができます。その特徴は、分散処理とスレッド処理機能を持ったコンカレントな MMMC 解析機能です。この機能は、MMMC の管理を簡素化させながら、最も高いスループットをもたらします。

さらに MMMC を考慮したインクリメンタル ECO 機能



により、その ECO のタイミングへの効果を、一つのセッション内で新たなレポートやスクリプトを走らせずに全てのモードにわたって見る事ができます。

### マルチプロセッシング・アーキテクチャ

Encounter Timing System は、スレッドおよび分散処理を活用してサインオフ期間全体を大幅に改善します。スレッドのタイミングや、SI 解析を通して、設計者は単一の CPU で実行する場合に比べて 4 倍のパフォーマンスを得ることができます。さらに、単一マシン上でのスレッドの実行に加え、Encounter Timing System は、マルチモード/マルチコーナー・タイミング解析と、複数のマシンにわたって分散処理が可能なスーパースケーリングな SI 解析を提供しています。ひとつのタスクの異なる部分を 2 つもしくはそれ以上のプロセッサに分散させることにより、Encounter Timing System は、TAT を大幅に向上させ、より大規模で複雑なデザインを取り扱うことができます。

### 統合された消費電力解析

消費電力の管理は、今日のますます複雑化するチップの鍵となる問題であり、また主要な設計課題です。Encounter Timing System は、タイミングと消費電力解析を単一の環境に統合することにより、セルレベルの消費電力解析向けに包括的なスタティックおよびダイナミックなソリューションを提供します。この統合された環境は、より早く結果を導きだし、設計者の生産性を向上させます。Encounter Timing System は、ベクターとベクターを使わないアプローチの両方で消費電力解析を実行します。ベクターを使わない解析は、設計フローの初期の段階で正確な消費電力解析を行い、一方ベクターは最も高い精度を達成するために使われます。

### 低消費電力ドリブなサインオフ

より小さなジオメトリでは、電源は通常 1 ボルトあたりで、ちょっとした電圧降下でも信号のタイミングを危うくしチップの誤動作につながります。さらに IR ドロ

ップは、クロストークによる不良のリスクを増大させます。Encounter Timing System は、正確に非線形の IR ドロップの影響をモデル化し、従来の直線形の K-ファクタのアプローチがもたらす不正確さを除去します。Encounter Timing System は、ケイデンスの Encounter Power System からインスタンス・ベースの IR ドロップ・データ情報をインターフェースし、パスの遅延と SI へのスタティックおよびダイナミックな IR ドロップの効果を把握します。


多電源 / 多電圧 (multi-supply/multi-voltage: MSMV) やダイナミックな電圧・周波数のスケールリング (dynamic voltage and frequency scaling: DVFS) のような先進の低消費電力の手法を使用すると、従来のタイミング・サインオフ・フローではエラーを引き起こし、使用方法を複雑なものにしてしまう可能性があります。Encounter Timing System は、これまでのフローを簡素化し、設計者は 3 つの電圧ポイントで 3 つのライブラリのキャラクタライゼーションをするだけで、より広範囲な電圧ポイントにわたって正確な非線形遅延計算を行うことができます。Encounter Timing System は、システム仕様からテープアウトまでのデザイン・フロー全領域にわたって低消費電力設計の意図を記述できる Common Power Format (CPF) をサポートしています。

### クリティカル・パス・シミュレーション

Encounter Timing System は、クリティカル・パスの on-the-fly paths 高速パス・シミュレーションを可能とし、非線形の波形効果の伝播を含めて、パスに沿ったクロストークと IR ドロップの影響をグラフィカルに表示します。これにより、タイミング、SI、そして IR ドロップ効果の容易な検証と、インプリメンテーションの前の修正、確認が可能になります。

### 包括的なばらつきのサポート

製造におけるばらつきは、デバイスとインターコネクタの構造的変化をもたらし、それらの電氣的振る舞いとの誤差を引き起こします。65 ナノメートル以降では、プロセス・コントロールが難しく、プロセスのジ



オメトリ割合からすると、より大きなばらつきをもたらします。その結果、従来のサインオフ基準をパスした設計でも、プロセスのばらつきが原因で、シリコンができたときにはうまく動作しないかもしれません。Encounter Timing System は、オーバーマージン・オーバーデザインにならないよう、プロセスのばらつきを考慮し、正確な解析ができる環境を提供します。Common-Path Pessimism Removal (CPPR)、Advanced On-Chip Variation(OCV)、統計的スタティック・タイミング解析(SSTA)、統計的リーケージパワー解析や熱解析機能を提供し、先端プロセス・ノードにおいて、最小の消費電力で最大のデザイン性能を可能にします。これによって、より少ないタイミングの実行で設計期間を短縮し、設計者がタイミングの目標を達成することを確実にします。

### ロケーションをベースにしたオン・チップの変動(LOCV)

ナノメーターのジオメトリでは、設計者は、共通のパスによって引き起こされる安全サイドへの偏りの除去を含め、オン・チップの変動(OCV)の効果に取り組みなければなりません。しかし従来の OCV 解析は一定のディレイト・ファクタを採用しているため、不正確で安全サイドに偏っています。Encounter Timing System は、ロケーションをベースにしたオン・チップの変動(LOCV)を採用し、論理レベルと物理的な位置を使って最適のディレイト・ファクタを選択します。LOCVは、従来のディレイトにつきものの過度のガードバンドをなくし、タイミング収束を改善します。

### 統計的スタティック・タイミング解析

今までの STA は、異なるプロセスと環境のばらつきの組み合わせをモデル化するために、より積極的なグロス・ガードバンドを適用し、複数の解析コーナーを使ってプロセスのばらつきを把握します。このコーナー・ベースのアプローチは、ほとんど起こらないタイミングのシナリオまでレポートするため、過度に悲観的になりかねません。またパラメータ数の増

大に伴うコーナーの組み合わせ数の急激増加は、各コーナーでの解析を非現実的なものにしてしまいます。

Encounter Timing System は、1 回の実行でプロセス・パラメータのばらつきを把握する強力な正確な統計的スタティック・タイミング解析手法で、従来のコーナー・ベースの手法を補完します。この機能は、先進の統計的 ECSM モデルを使い、ばらつきにセンシティブなクロックとデータ・パスの両方にあるセルやネットを特定し、またプロセスのばらつきの全ての範囲でのタイミング不良の確率を決定します。これらの機能は、過度な悲観性を排除し、ガードバンドを削減することができます。その結果、チップの性能を向上させながら、エリアと消費電力を削減します。設計者は、Encounter Timing System を使用してパラメトリックな歩留まりと、クロック・スピード間での可能なトレードオフを探索することができます。

### Encounter Timing System SSTA の特長:

- Within-the-die、die-to-die、そしてランダムなばらつきのサポート
- ブロック・ベースとパス・ベースのモード
- クロストーク・ノイズの影響
- 標準化された統計的 ECSM ライブラリ・モデルとキャラクタライゼーションのサポート
- Encounter Digital Implementation System との統合による整合性を向上し、ばらつきの問題を自動的に修正

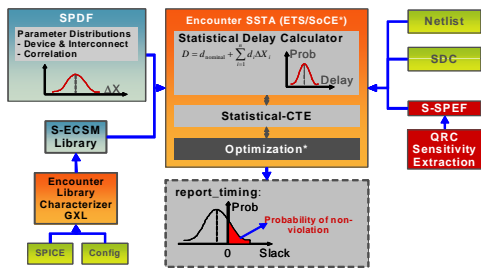
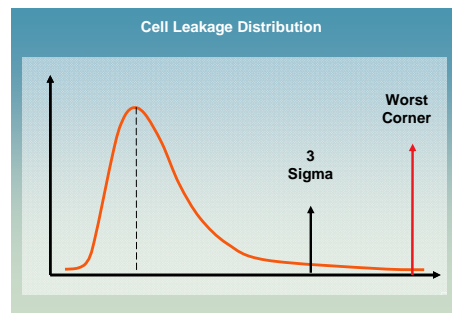


図 6 SSTA のデータ・フロー



## 熱解析機能

先端ノードのプロセスに携わる設計者は、on-chip 熱ばらつきを無視することができなくなっています。熱の影響によるリーケージパワーの増大やタイミング違反も、より微細なプロセス・ノードで多く起こっています。単純にガードバンドをデザインに適用するだけでは、デザインのパフォーマンスにネガティブな影響を与える可能性があります。Encounter Timing System では、チップのパッケージを考慮し、正確な熱分布マップやインスタンス毎の温度を解析できる強力な熱解析エンジンを搭載しています。これによって、設計者は効果的にホットスポットを確認することができ、ガードバンドの軽減を行うことができます。

## 統計的リーケージパワー解析

より微細なプロセス・ノードにおいて、リーケージパワーが消費電力で占める割合が大きくなり始めています。したがって、高精度なリーケージパワー解析が効果的な低消費電力ソリューションに必要とされます。既に存在しているリーケージパワー解析手法は worst-case の悲観的な解析を行い、実際のシ

リコンでは起こり得ることの難しいケースを想定します。実際のセルのリーケージは、微細なプロセスばらつきに対して大きな上昇を起こすことがあります。確立分布においても、最悪のケースが起こる可能性は非常に小さくなります。この状況が、オーバードesignや IR ドロップに対する過剰な補正、またはデザインの修正まで招く可能性があります。この解決方法として、リーケージパワーを統計的確立モデルとして worst-case 解析で行えなかった解析を行います。Encounter Timing System の統計的リーケージパワー解析(SLPA)は、設計者により小さく、よりリーズナブルなリーケージの値をターゲットとすることを可能にします。統計的リーケージパワー解析でレポートされる値は、従来の worst-case 解析での値と比べて最大で 40%削減されています。先進的な統計的 ECSM モデルを使用することにより、Encounter Timing System は以下のことをモデル化することができます。

- State-dependant exponential leakage power 変動
- Die-to-die, within-die とランダムばらつき

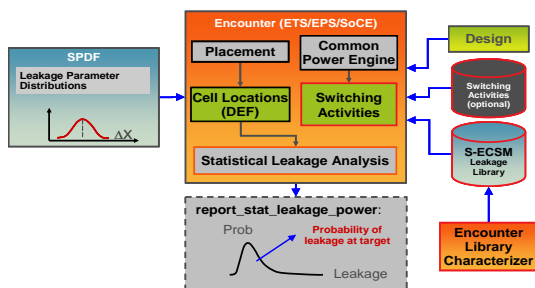
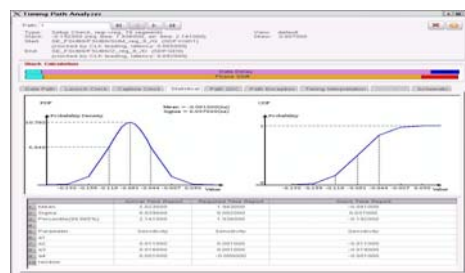


図 7 統計的リーケージパワー分布



## プラットフォーム・サポート

- Linux (32 ビット、64 ビット)
- Sun Solaris (64 ビット)
- HP-UX (64 ビット)
- IBM AIX (64 ビット)

## パッケージ

Encounter Timing System は L、XL ライセンスを  
基に、Advance Analysis オプションを用意していま  
す。

## スタンダード・インターフェースのサポート

- 入力
  - ・ Verilog®、lib、SDC、SDF、SPEF、Tcl
  - ・ Optional: ECSM、cdB、DEF、CPF、OA、VCD
  - ・ SSTA: Statistical ECSM(S-ECSM)、Statistical SPEF(S-SPEF)、Statistical Parameter Distribution file(SPDP)
- 出力
  - ・ タイミングレポート、SDF、DRV レポート、パワーレポート

**cadence**<sup>®</sup>

### 日本ケイデンス・デザイン・システムズ社

本社 / 〒222-0033 神奈川県横浜市港北区新横浜 2-100-45  
営業本部  
TEL.(045)475-8410 FAX.(045)475-8415 URL <http://www.cadence.co.jp/>  
〒541-0054 大阪府大阪市中央区南本町 2-6-12 サンマリオン NBF タワー16F  
TEL.(06)6121-8095 FAX.(06)6121-7510



### 販売代理店 **イノテック株式会社** IC ソリューション本部

〒222-8580 神奈川県横浜市港北区新横浜 3-17-6  
TEL.(045)474-2290.2291.2293(営) FAX.(045)474-2395  
URL <http://www.innotech.co.jp/>  
〒541-0054 大阪府大阪市中央区南本町 2-6-12 サンマリオン NBF タワー16F  
TEL. (06)6121-7703(営) FAX. (06)6121-7720

\* 記載の各製品等は登録商標です。  
\* 掲載の内容は、2010年2月現在のものです。