

## ENCOUNTER RTL COMPILER

Encounter® RTL Compilerは「グローバル・フォーカス・マッピング」という革新的な手法を採用したケイデンスの新しい論理合成ツールです。パス毎にタイミング最適化を行う従来の方法と異なり、パス全体を見通した一括タイミング最適化を行うことにより、局所的最適解に陥ることなく、合成結果の品質を高めます。タイミング、エリアの最適化に加え、パワー最適化の性能も高く、レイアウト設計後の品質 (QoS: Quality of Silicon) を向上させることで設計全体のTAT改善に寄与します。

### ナノメーター時代の合成技術 Encounter RTL Compiler

Encounter RTL Compiler は革新的なアルゴリズム「グローバル・フォーカス・マッピング」を採用し、効率的なデータ構造、及び最新のプログラミング技術の組み合わせにより、大規模、高機能デザインに対して、フィジカル・インプリメンテーション後に最高品質が得られるような論理合成結果を提供します。

#### 主な特長:

##### ●大規模対応及び処理スピード

- ・32ビットマシンで4Mゲート規模をトップダウン合成
- ・64ビットマシンのサポート
- ・2Mゲート規模を8時間で合成完了
- ・SuperThreading 技術による分散処理

##### ●高品質な Quality of Silicon を提供する機能

- ・新しいアルゴリズム「グローバル・フォーカス・マッピング」
- ・ハイパフォーマンスなデータパスエンジン
- ・レイアウト設計を考慮した最適な回路構造の生成
- ・高精度な配線モデリング技術 PLE (Physical Layout Estimator)
- ・クロックゲーティング挿入、及びデクロン
- ・マルチ Vt ライブラリによるリーク電流最適化
- ・ダイナミック電流削減
- ・RTL/ゲートレベルにおける消費電力解析
- ・DFT 解析およびスキュー挿入、DFT 違反箇所自動修正
- ・DFT 圧縮回路、BIST, PTAM, バウンダリスキャン挿入
- ・マルチモード合成
- ・トップダウン MSV (Multiple Supply Voltage) 合成
- ・レジスタ・リタイミング
- ・Encounter Test Architect を用いたテストポイント挿入

##### ●親和性

- ・ユーザーフレンドリーな解析環境を提供する GUI
- ・標準フォーマット(liberty/SDC/Verilog®/VHDL/SystemVerilog 3.1a)をサポートしているので既存の環境へのプラグインが容易
- ・形式検証ツール Encounter Conformal の実行スクリプト(dofile)を出力
- ・レイアウトツール SoC Encounter のコンフィグファイルサポート
- ・テストパターン生成、故障解析ツール Encounter Test 用インターフェースファイルを出力

##### 最高品質の合成結果

Encounter RTL Compiler は、最適化の初期段階からデザイン最適化を考慮し、すべてのパスを同時に最適化します。従来の合成ツールの内部ステップでは、ストラクチャリングはエリアベースで行ない、ゲートマッピング後、初めてタイミングに注力したインクリメンタル最適化が実行され、このステップに一番処理時間がかかります。Encounter RTL Compiler では、RTL からゲートにマッピングするまでに重要なプロセスの一つである、ストラクチャリングの処理に時間をかけ、タイミング・エリア・パワーを考慮しながら1パスで最適な回路構造を生成し、必要に応じてクリティカルパスのアイソレーションを行ないます。これにより既存の合成ツールよりも品質の高い状態から最適化をスタートすることが可能になります。

Encounter RTL Compiler の処理時間は回路規模に比例しているので、大規模な設計に対しても処理時間が予測可能です。

## 低消費電力合成

### ●ダイナミック電流削減

ダイナミック電流の削減機能として、Encounter RTL Compiler は自動的に RTL 記述からクロックゲーティング挿入可能箇所を見つけて挿入を行う機能を持っています。また挿入したクロックゲーティングセルをクロックの供給元へ引き上げる機能も装備しており、レイアウト時のCTS調整に利用することが可能です。これらの機能はネットリスト入力後からでも実行可能です。その他、高周波信号ピンを低容量ピンと入れ替えて消費電力を下げ“ピンスワッピング”機能、ゲートサイズを縮小して消費電力を下げる“ゲートサイジング”機能、不要なバッファを取り除き消費電力を下げる“バッファ削除”機能もサポートしています。

### ●リーク電流削減

リーク電流の削減として Encounter RTL Compiler はマルチ Vt セルライブラリを使い最適なリーク電流削減を行います。Encounter RTL Compiler はタイミングを満たしながら、リーク電流及びエリアを押さえ、デザイン全体の QoS(Quality of Silicon)のバランスを最適化します。従来、マルチ Vt セルライブラリを使うと選択可能なセル数が増大し、合成処理時間が指数関数的に増加するという問題がありました。Encounter RTL Compiler を使用することでライブラリのセル数に応じたリニアな処理時間の増加で最適なセル選択を行います。そのため大規模なデザインに対しても一括にワンパスで論理合成が可能です。

## レイアウト・フレンドリーな回路構成

Encounter RTL Compiler はタイミングがクリティカルなパス、タイミングがクリティカルではないパスそれぞれに対して最適な回路構成を生成することにより、レイアウト設計を含めた設計全体でのタイミング・クロージャの品質向上、設計期間短縮を実現します。タイミング・クロージャを実現するためには、クリティカルパスを他のクリティカルでないパスから分離し、それぞれに適した合成手法を適用することが大変効果的で、クリティカルパスはファンアウトが少なく、入力数の少ないプリミティブ・セルによって構成します。(図1) また、タイミングに余裕のあるノン・クリティカルパスは複合ゲートが使用されエリアの増加を抑えます。このようにタイミング・クロージャを考慮した最適な回路構成を生成する事により、レイアウトツール SoC Encounter ではさらに容易にタイミング、シグナルインテグリティの問題を解決することが可能になります。



図1 クリティカルパスとノン・クリティカルパス

## Encounter RTL Compiler に追加された新技術

ナノメーター時代のハイエンド設計に向けて Encounter RTL Compiler の性能をさらに引き出す新技術が追加されています。

### GUI

論理階層構造ブラウザ、HDL 表示機能、スキマティック表示機能、クリティカルパス表示機能、HDL とスキマティックのクロスプローブ、各種レポート、DFT 違反箇所のハイライトといった、様々な機能をサポートしており、充実した解析環境を提供しています。(図2)

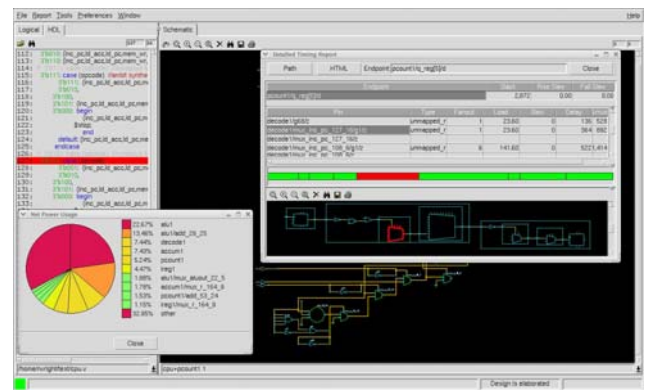


図2 Encounter RTL Compiler の GUI

## PLE (Physical Layout Estimator)

最近のプロセス世代では、詳細配線との相関を高めるための高精度な配線モデリング・ソリューションが必要になっています。Encounter RTL Compiler は今までのワイヤーロードモデルに替わる技術として、PLE(Physical Layout Estimator)と呼ばれる新しい機能を導入しました。PLE はフィジカル・モデリングのテクニックで、レイアウトツールの動きを把握し、RTL 合成および、ネットリストの最適化(N2N)に使用します。必要な情報をフィジカル・ライブラリ(LEF)とキャパシタンステーブルから直接読み込み、合成最適化の全ての段階における論理構造の変化にダイナミックに対応します。この機能によって設計者は、いくつもあるワイヤーロードモデルを選ぶことや、余分なタイミングマージンを考慮する必要をなくしました。LEF/キャパシタンステーブルを読み込むためのコマンドを実行するだけでフィジカル・インプリメンテーション後に測定されたタイミング、消費電力、エリアなど QoS の指標が改善されることが確認されています。

## QoS(Quality of Silicon) prediction

Encounter RTL Compiler は、さらにレイアウト設計結果との相関を高めるための機能として、QoS(Quality of Silicon) prediction をサポートしています。

従来、レイアウト設計の段階で発見されるタイミング収束の問題を

解決するため、論理合成 – レイアウト設計を何度も繰り返し、多くの時間を費やす必要がありました。QoS prediction は、合成処理の途中でケイデンスのフィジカル・プロトタイプングツール First Encounter の配置エンジンをバックグラウンドで起動し、その結果を引き続き合成処理にフィードバックさせることで、レイアウト設計と親和性の高い合成結果を生成します。(図3)

QoS prediction を使用することにより、レイアウト設計のノウハウが無いフロントエンド設計者でも極めて容易に First Encounter を起動することが可能になり、容易にレイアウト設計との親和性が高いネットリストを生成することができます。

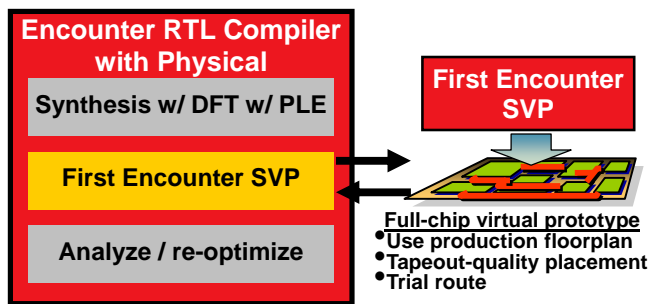


図3 QoS prediction: RTL Compiler から First Encounter を起動

### マルチモード合成

近年のプロセスの微細化、デザインの大規模化、低消費電力化、設計の複雑化に伴い、多様な機能ブロックを含む大規模 SOC チップに要求される動作モードは増加しており、それぞれのモード毎に作成される制約を最適化段階で全て満たすことが困難になってきました。

その対策として、最も厳しい周波数で合成する方法やモード毎に合成を行なう方法が行われてきましたが、前者はオーバーコンストレイントな箇所が回路規模が増大してしまう、後者は多くの場合もぐらたたき状態になり、収束しない場合や実行時間の大幅な増大を招くという問題がありました。また、各モードをマージした SDC を用意する手法も行われていますが、SDC をマージするための設計工数の増大、もしくはマージされた SDC の正当性のチェックに膨大な時間が取られていました。

Encounter RTL Compiler の新たなマルチモード機能は複数の SDC を入力して全体を同時に最適化することにより、上記の問題点を解決する理想的なメソッドを確立できます。(図4)

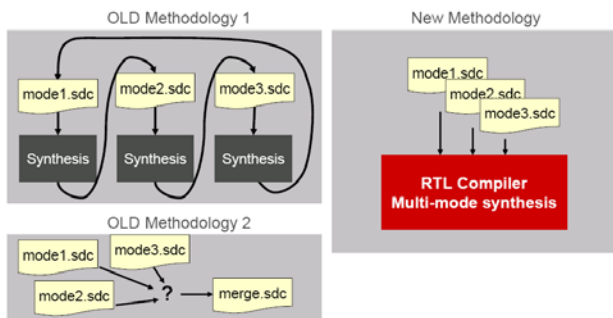


図4 従来の手法と RTL Compiler の新しいマルチモード対応機能

### 低消費電力設計仕様フォーマット CPF のサポート

低消費電力設計の標準化を提案するために集まった半導体、IP、ライブラリ、EDA などの各関係ベンダーで構成されるイニシアティブ Power Forward Initiative にて、低消費電力設計向けの業界標準フォーマット CPF (Common Power Format) が提案されました。ケイデンスの各ツールは設計者の低消費電力設計指針が記述された CPF ファイルを入力することにより、機能検証、論理合成、フロアプラン、配置配線、サインオフ検証に至る設計フローを自動化します。(図5)

CPF に記述された設計指針に従って、MSV (Multi Supply Voltage : 多電源設計)、PSO (Power Shut-off: 電源遮断)、SRPG (state retention power gating: 電源遮断前の状態を保持) などの先進的な低消費電力設計に必要なアイソレーション・セル、レベルシフト、ステイトリテンション・フリップフロップなど特殊セルの自動挿入を行うことで、設計効率の飛躍的な向上を達成します。

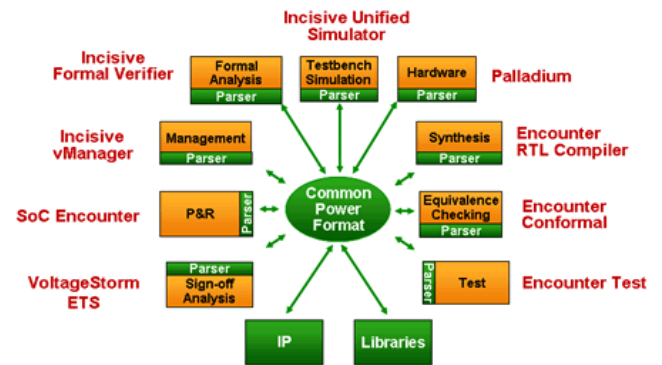


図5 低消費電力設計指針を記述する標準フォーマット CPF

### トップダウン MSV 合成

バッテリー寿命が製品の差別化の上でカギとなる民生機器やポータブルなモバイル製品において、低消費電力化は最重要課題となります。また、90nm, 65nm と微細化が進むにつれ、ネットワークスイッチやプロセッサコアのようなプラグインタイプアプリケーションにおいては熱対策が必要になります。従来の MSV 設計手法では、ターゲットライブラリと電源ドメインをブロック毎に予め決定し、別々に論理合成を行うボトムアップ合成が主流であり、MSV 設計に必要な各処理はレイアウト段階だけで行われてきました。この方法では、ブロック毎に単体の合成制約を用意する必要があり、その結果、最適化に限界があります。また設計の早い段階で必要最低限の動作電圧を見つけることもできません。

ケイデンスのレイアウトシステム SoC Encounter 同様、Encounter RTL Compiler も異なる電源電圧でキャラクタライズされた複数のライブラリを読み込み、トップダウン MSV (多電源) 対応機能をサポートします。(図6)

ユーザーはどのモジュール(ブロック)にどのライブラリとどの電源ドメインを割り当てるかを指定でき、レベルシフト、アイソレーション・

セルも挿入可能です。挿入されたレベルシフタ、アイソレーション・セルは、ケイデンスのレイアウト設計ツールである SoC Encounter 用シフタテーブルファイルとして渡すことが可能です。Encounter RTL Compiler が持つ比類なきキャパシティにより、異なる電源電圧を持つライブラリが混在した条件下でも、トップダウンでワンパス合成処理が可能です。

さらに、What-if 解析機能を用いることで、ある電源ドメインのブロックに異なる電源を割り当てた場合のタイミングへのインパクトを早期に試行・確認できます。これらにより、パフォーマンスターゲットを満たしつつ、低消費電力化を達成することができます。

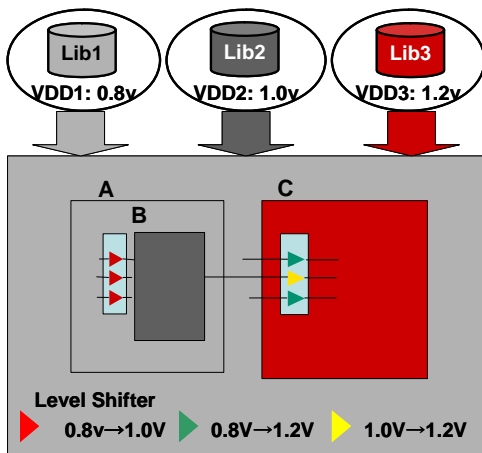


図 6 MSV の仕組み  
電源ドメイン、供給電圧を指定すれば、ライブラリ選択、レベルシフタ、アイソレーションセル挿入は自動で行われる

### PSO(Power Shut-Off)合成

Encounter RTL Compiler は、PSO(Power Shut-Off)を考慮した合成を行うことが可能です。

PSOは低消費電力手法としては特に効果的ですが、設計時に多くの技術的課題を解決する必要があります。

特に電源を遮断した時の、遮断した回路からの不定伝播の抑止や、回路の内部状態の保持といった機能です。

技術的課題の多い PSO 設計に対して、Encounter RTL Compiler は最適なソリューションを提供することができます。

すなわち、CPF に電源状態を記述することによって、不定伝播を抑止するアイソレーション・セルや、内部の状態を保持するステイトリテンション・フリップフロップの自動挿入いたします。(図 7)

これにより、設計者は RTL やネットリストを書き換える必要が無く、PSO 合成を行うことが可能となります。

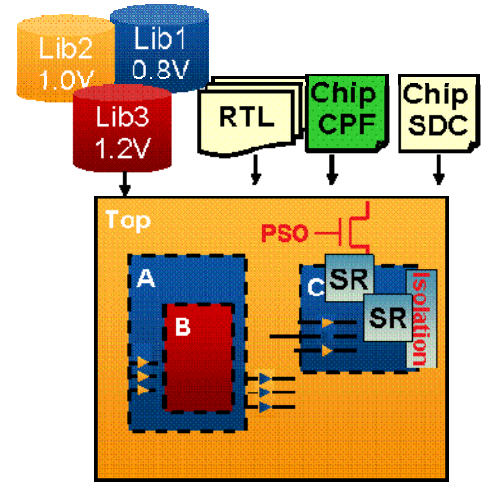


図 7 PSO 合成によるセルの自動挿入

### DFT 回路挿入によるワンパスフロー合成

Encounter RTL Compiler は、回路のテストビリティ向上に大きく寄与することができます。

マルチモード合成機能を有する Encounter RTL Compiler は、ファンクションモードだけでなく、テストモードも同時に考慮した論理合成を行うことが可能です。

また、MSV 対応として、電源ドメイン間のスキャンチェーン挿入においては、レベルシフタを自動で挿入します。

他にも大規模回路におけるスキャンテスト時間を短縮させるスキャン圧縮回路、MBIST、PTAM、バウンダリスキャン回路といったテスト回路挿入機能も備えております。

これにより、ワンパスで論理合成とテスト回路挿入を行うことが可能となりました。(図 8)

さらにテストパターン生成、故障解析ツール EncounterTest 用インターフェースファイルも出力できるので、親和性にも優れています。

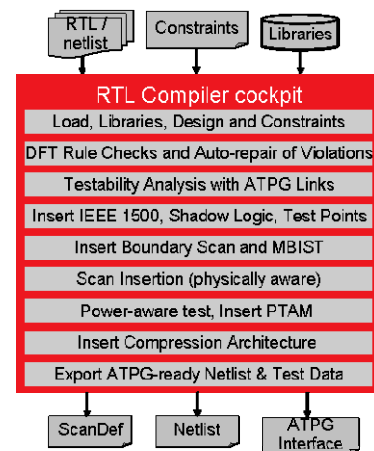


図 8 DFT 回路挿入を含めたワンパス合成フロー

## SuperThreading による CPU 分散処理

近年、複雑かつ大規模化する設計に対応するために、Encounter RTL Compiler は更なる高速化を達成しました。SuperThreading 機能は、従来の論理合成ツールが採用している分散合成 (Distributed Synthesis) とは全く異なる、画期的な技術を採用し、論理合成ツールとしては初の試みです。従来の論理合成ツールが持つ分散合成 (Distributed Synthesis) は、先ずモジュール毎にタイミング制約をバジェット (見積り) し生成した上で、それらを各マシンに振り分け並列に合成処理を行う、言わば並列ボトムアップ合成です。今回新たに開発した SuperThreading 機能では、独自のグローバル・フォーカス・マッピングにより、タイミング制約のバジェットを一切行なわず、回路のエンドポイントをマシンに振り分けるといった革新的な手法により、並列トップダウン合成が行えます。SuperThreading 機能を用い、並列処理させるマシン (CPU) の数を増やすことで、その分散処理速度短縮が可能となります。また、SuperThreading 機能は、LSF や異なる OS の混在にも対応しています。

## プラットフォーム

- Sun SPARC / X86\_64
- Linux X86 (IA32) / X86\_64

## OS

- Solaris 8 以上 (Sun SPARC)
- Solaris 10 (Sun X86\_64)
- RedHat Enterprise 3.0 以上

## 製品ライセンス

Encounter RTL Compiler には3つの製品ライセンスがあります。標準は Encounter RTL Compiler XL ライセンスで、Encounter RTL Compiler の基本機能を使用できます。XL ライセンスの機能に加えて、マルチモード (Multi-SDC)、トップダウン MSV 合成、レジスタ・リタイミング、SuperThreading などの上位機能を使用する場合には Encounter RTL Compiler GXL ライセンスをオプションとして追加して使用します。

標準ライセンス XL に対して合成出力できるインスタンス数の制限 (50K インスタンス) がされているものが Encounter RTL Compiler L ライセンスです。なお、DFT 機能の一部は Encounter Test のライセンスを使用する場合がございます。

## Encounter RTL Compiler ホームページ

<http://www.cadence.co.jp/RTL/>

**cadence™**

### 日本ケイデンス・デザイン・システムズ社

本社 / 〒222-0033 神奈川県横浜市港北区新横浜 2-100-45  
営業本部  
TEL.(045)475-8410 FAX.(045)475-8415 URL <http://www.cadence.co.jp/>

関西営業所  
〒541-0054 大阪府大阪市中央区南本町 2-6-12 サンマリオン NBF タワー16F  
TEL.(06)6121-8095 FAX.(06)6121-7510



### 販売代理店 イノテック株式会社 IC ソリューション本部

〒222-8580 神奈川県横浜市港北区新横浜 3-17-6  
TEL.(045)474-2290,2291,2293(営) FAX.(045)474-2395  
URL <http://www.innotech.co.jp/>

大阪支社  
〒541-0054 大阪府大阪市中央区南本町 2-6-12 サンマリオン NBF タワー16F  
TEL. (06)6121-7703(営) FAX. (06)6121-7720

\* 記載の各製品等は登録商標です。  
\* 掲載の内容は、2009年1月現在のものです。