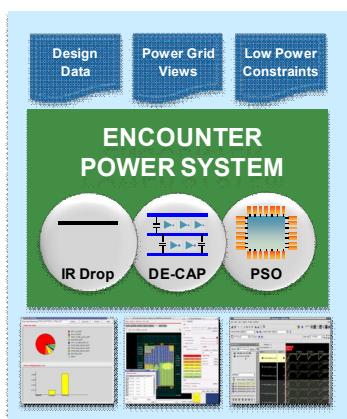


ENCOUNTER POWER SYSTEM



微細化やクロック周波数が高くなることにより、静電気や瞬間的なIRドロップによる動作電圧の低下、リーク電流の増加、温度のばらつきが原因となり、タイミング・クリーンにも関わらず、設計がシリコン上で動作しなくなることがあります。ケイデンスのEncounter® Power Systemを使用することで、数百万ゲート規模の設計すべてにわたって消費電力やIRドロップの解析、デバッグが可能となり、生産性を大幅に向上することができます。Encounter Power System は、Encounter Timing SystemとEncounter Library Characterizer とともに使用することで、包括的なタイミング、シグナル・インテグリティ、熱、消費電力、パワーグリッド、および統計的キャラクタライゼーションと解析、さらに共通のユーザ・インターフェース、制約、コマンド、デバッグ環境、およびレポートを用いて、統合されたサインオフ・ソリューションを提供します。

ENCOUNTER POWER SYSTEM

Encounter Power System は、全てのテクノロジー・ノードの分散電力消費、IRドロップ、パワーレール・エレクトロマイグレーション、シグナルネット・エレクトロマイグレーション(ワイヤの自己発熱)、リーケージ、熱とノイズの協調解析が可能です。

Encounter Power System は、10年以上使用され数千ものテープアウト成功実績のあるケイデンスのVoltageStorm サインオフ・エンジンに基づき 開発されました。Encounter Power System は、初期のプロアプラン、パワープラン、ブロック実装、チップ・レベル・アセンブリ、およびテープアウト前のサインオフといった、設計の実装フローすべてにわたって使用され、フローの各ステップにおける結果の一元管理が可能です。

Encounter Power System を使用することにより、バックエンド・チームは、包括的なサインオフ検証を行うことができます。また、高品質な Early Rail Analysis を実行し、物理的なフロアプランの検証や最適化の手助けを行うことができます。

POWER INTEGRITY ANALYSIS

Encounter Power System は、優れたデバッグ機能、容易な Power Grid View(PGV)ライブラリ生成、入力データ検証により、包括的なスタティックおよびダイナミック電力解析、IRドロップ、パワーレール・エレクトロマイグレーション解析のソリューションを提供します。使いやすさ、精度および実行時間が最適となるように開発されているため、パワーレールが設計に必要な量の電力を供給可能かどうか、パッケージとボードのコンテキスト内で迅速にチェックできます。設計チームは、パワーレール・サイズ電源配線の構造、デカップリング容量、power-switch サイズおよび位置、I/O placement、およびリーケージの検証と最適化にそれを用いることができます。

Encounter Power System の強力な Estimation エンジンにより、Verilog を用いたサインオフ消費電力計算と同等の初期ゲートレベルの消費電力見積りが可能になります。この計算には、ダイナミックな消費電力計算で必要とされる正確な slew 計算とタイミング・ウィンドウに、サインオフ・タイミングエンジンである Encounter Timing Systemを活用します。

Encounter Power Systemの階層的なベクター・ベースおよびベクターレス・ダイナミック解析を使用することで、同時に論理の切り替えが発生したことにより動的電力が高くなる領域を特定できるようになります。さらに、結果として起こるダイナミック IR ドロップ・バイオレーションを修正するために必要なデカップリング容量の自動最適化を行うことも可能になります。Power-switch optimization については、高いラッシュカレント電流がローカル IR ドロップを引き起こすかどうかのレポートと、多数ある power-switch の調整に Encounter Power System を使用することが可能で、チップ/パッケージの協調設計を正確に行えるよう、Encounter Power System はパッケージ・モデルを入力可能とし、ダイ・モデルを出力します。Encounter Timing System と Encounter Power System を組み合わせることにより、包括的なクロック、およびシグナルジッタ/スキュー解析が可能になります。

利 点

- ◆ フロアプランニングから最適化、およびサインオフといった実装フローすべてにわたり一貫性のある、統合された消費電力および IR ドロップ解析を実行
 - フロアプラン/パワープラン段階における Early Rail Analysis(ERA)による correct-by-construct パワーグリッド設計が可能
 - 一貫した Encounter の統合環境とスタンドアロン・ユースモデルにより生産性が向上
 - Encounter プラットフォーム技術との統合により物理データベースへのアクセスと on-the-fly ECO が可能
- ◆ 統合されたサインオフ解析のソリューションを提供
 - Encounter Timing System との統合により、クロックのジッタ/スキュー解析のような IR ドロップ誘導の遅延のばらつきをデータネット・ワークおよび

クロック・ネットワークすべてにわたって解析することが可能

- フローすべてにわたって一貫したエンジン、インターフェース、およびコマンド・スクリプトを提供

- ◆ 一貫した階層フルチップ、およびパッケージ IR ドロップ解析を実行

- アナログ、ミックスシグナル、カスタム・デジタル、およびフルデジタル・ブロックのパワーグリッド・ビューにより高精度フルチップ IR ドロップ解析が可能

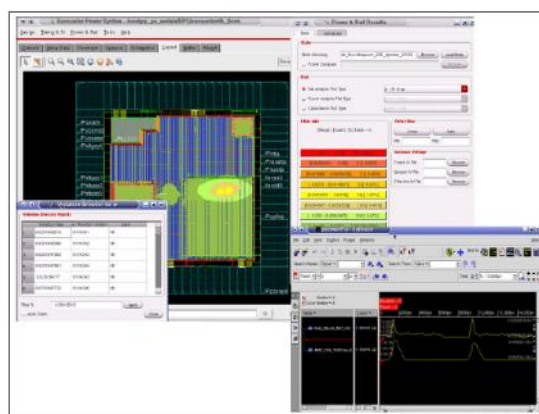


図1 パワーと IR ドロップ解析時に、WaveForm と Layout のクロスプローブが可能

- Allegro Package Designer とのパッケージおよびダイ・モデル交換を通じてチップ/パッケージ協調設計をサポート
- ◆ 生産性を向上しテープアウトまでの期間を短縮
 - 解析精度を確保しながらマルチ CPU をサポート
 - 性能の高さと処理能力の高さを確保し、パイプライン化された手法
 - インクリメンタル解析および what-if 解析を実行
 - Common Power Formatのサポート
 - GUIインターフェースと対話的tclコマンド・インターフェースを提供

- ◆ 容易なデバッグが可能
 - Global Power Debugにより根本原因解析を高速化
 - 統合された waveform とレイアウト・ビューアにより、容易に消費電力および IR のデバッグが可能
- ◆ 先端ノード解析機能を提供
 - 先端ノードに対して製造を考慮した抽出を実行
 - 熱解析、および統計的リーケージ・パワー解析を実行
 - 高精度エレクトロマイグレーション解析実行のための Blech Length をサポート
- ◆ 主要ファウンドリ、ASIC ベンダー、IP ベンダー、デバイス・ベンダーによるサポート

特長

包括的な消費電力検証とパワーグリッド検証

- ◆ 実装フローすべてにわたる消費電力の見積りに、柔軟で一貫したパワー・エンジンを使用
- ◆ 初期段階において、入力として Verilog を用いたゲートレベルの消費電力の見積もりを実行。フル RTL、ゲートレベル VCD および SAIF をサポート
- ◆ パワーグリッドの最適化とサインオフに向けた高精度な配置配線後の消費電力の見積り

ライブラリ生成の容易性

- ◆ 入手しやすい Spice サブサーキットを用いた詳細なパワーグリッド・ビュー(PGV)の生成
- ◆ 標準LVSルールを用いた詳細なPGV生成
- ◆ 内蔵された Spectre シミュレータを用いた on-the-fly デバイス・キャラクタライゼーションとカップリング・キャパシタンス・キャラクタライゼーション
- ◆ PGV 内容を解析し、fail の原因に対するアドバイスを表示する Pass/Fail レポート機能

- ◆ レイアウトを考慮した Power System Viewer (PSViewer)によるグラフィカル表示および PGV のデバッグが可能

- ◆ マクロやメモリのライブラリ生成ジョブ自動発生

シームレスなデータ読み込みと入力データのサニティ・チェック

- ◆ Encounter データベース、OpenAccess、およびサードパーティによる設計を用いた柔軟な設計の取り込み
- ◆ 内蔵されたデザイン・サニティチェックにより、LEF ライブラリ・データ、タイミングライブラリ・データ、物理/論理ネットリスト・アノテーション、および SPEF アノテーションの完全性をチェック
- ◆ 高速で構造的なパワーグリッド検証により via の欠落や未接続のパワーピンを特定
- ◆ Encounter Timing System サインオフ・タイミング・エンジンとの統合により、slew 時間と到達時間のシームレスな受け渡しが可能

強力な GUI 環境

- ◆ フル tcl サポート、コマンドの実行、履歴および、コンテキストのハイライトが可能なコマンド・コンソール
- ◆ tcl プロシジャの相互リンクや拡張機能を持つスクリプトを評価可能なスクリプト・エディタ

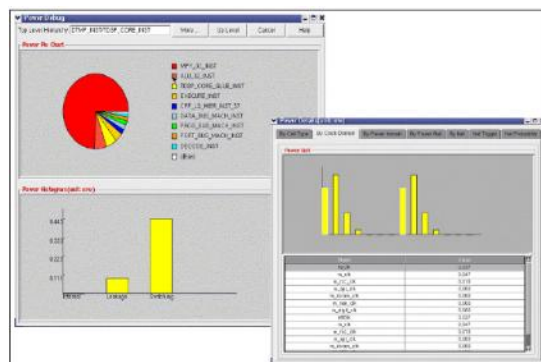


図2 グローバル・パワー・デバッグ グラフィック・ユーザ・インターフェース

デバッグの容易性

- ◆ Global Power Debug を使用することで、異なるレベルの階層、セルタイプ、パワーネット、パワー・ドメイン、およびクロック・ドメインなどにおける電力消費を解析し、円グラフとヒストグラムで表示可能
- ◆ 様々な装備をもつ内蔵の波形ビューアにより、動的電力と IR ドロップ波形の観測、異なるデザイン階層およびクロック・ドメインを超えた重ね合わせ波形の生成が可能
- ◆ 内蔵された Encounter レイアウト・ビューアにより消費電力情報と IR ドロップ情報のクロス・プロビングが可能
- ◆ 自動的に最小抵抗パスをハイライトし、インスタンス・ベースの実効抵抗をプロット
- ◆ 結果のナビゲーションを容易にするための HTML レポート
- ◆ 高速 what-if 解析により迅速な実験が可能

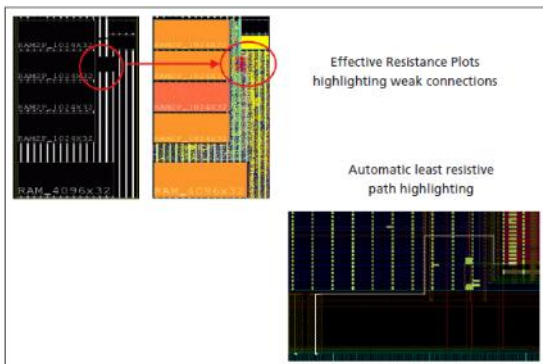


図3 電源供給ポイントから WeakPoint までの Effective resistance を表示

ERA (EARLY RAIL ANALYSIS)

フロアプランや電力プランを行う設計者は、Encounter Power System エンジンを用いて、設計の初期段階における I/O 配置、マクロ配置、パワーグリッド構造のプロトタイプを迅速に決定することができます。ERA と Encounter Power System 間のエンジンの一貫性により、ミスコリレーションがなくなるため、生産性が向上し、設計の収束が促進されます。

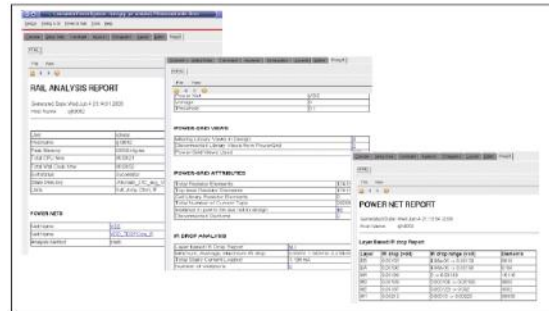


図4 HTML レポート

ベクター・プロファイリング

Encounter Power System には、設計者が VCD プロファイルテキストとグラフィカルで確認できるよう、複数の vector profiling option があります。activity-based vector profiling オプションでは、VCD のアクティビティが高い領域を素早く特定できます。fast vector power-profiling オプションでは、スイッチング・パワーを計算することができます。accurate vector power-profiling オプションでは、非アノテート・ノードに活性伝搬機能を持たせて VCD の総電力の見積りを行うことも可能です。

デカップリング容量の最適化

Encounter Power System は、ダイナミック IR ドロップをユーザー定義の制限値に制限するために必要とされる付加的なデカップリング容量を計算し、推奨します。この推奨された付加的なデカップリング容量は、Encounter プラットフォームすべてにわたり filler セルをデカップリング容量セルと入れ替えるなどの自動最適化フローを動作させることができます。低消費電力設計においては、このフローにより、デザイン中の余分なデカップリング容量セルを取り除き、リーケージと歩留まりを向上させることができます。

PACKAGE/DIE 協調設計

Allegro Package Designer と Encounter Power System の統合により、パッケージ・モデルとダイ・モデルの容易な受け渡しが可能になります。

Encounter Power System を使用することで、チップ設計者がパッケージ設計者のために、寄生の abstract と die のダイナミック・カレント・プロファイルを作成することが可能になります。また、2ポートや nポートパッケージ・モデルを受け入れるため、パッケージ効果を考慮に入れた高精度 IR ドロップ解析も実行可能です。

IR ドロップの影響を考慮したタイミング解析とシグナル・インテグリティ解析

Encounter Power System は、各インスタンスと関連したスイッチング・ウィンドウに基づいてインスタンス動作電圧を計算します。それからこの情報を Encounter Timing System に受け渡し、IR ドロップが遅延に及ぼす影響とシグナル・インテグリティ生成ノイズを計算します。Encounter Power System はクリティカルパスに対してダイナミック IR ドロップとグラウンドバウンス波形を生成し、これにより、Encounter Timing System は、そのようなパスを正確にトレースし、解析することが可能になります。

クロック解析とシグナルジッタ/スキュー解析

クロック・ネットワークとシグナルパス上でダイナミック動作電圧により起こる遅延のばらつきは、デザイン中にさらなるタイミング・パイオレーションを引き起こす可能性があります。Encounter Power System において、クロック・ネットワークとシグナルパス・エレメントの実効動作電圧を計算することで、Encounter Timing System の STA が、より正確にクロック・ジッタ、クロック・スキュー、およびシグナル遅延のばらつきを解析することが可能になります。この解析により、Encounter Timing System では疑わしいクロック・ネットワーク・エレメントを特定し、ジッタ・センシティブな Spice トレースの作成と実行が可能になります。

パワー・スイッチの最適化

昨今、多くの低電力設計には、パワー・スイッチを活用したスイッチド・ブロックが用いられています。このようなブロックは、必要とされる場合にのみオンになり、ブロックが使用されない間はリーク電流を抑えます。Encounter Power System は、ブロックのオン/オフ状況を解析し、パワー・スイッチ・サイズと位置を最適化します。これにより、電源を入れた時のブロックの突入電流が隣り合うロジックに影響せず、ブロック中のスタティック/ダイナミック IR ドロップが制限値の範囲内におさまります。

階層 IR ドロップ解析のソリューション

Encounter Power System は、階層パワーグリッド解析に構築ブロックとして Power Grid View (PGV) を用います。このパワーモデルは、Encounter Power System の自動ライブラリ・キャラクタライゼーション、もしくは Virtuoso® Power System-XL (カスタム・デジタル) および Virtuoso Power System-L (アナログ・ミックスシグナル) ソリューションによるブロックレベル解析により作成されます。IR ドロップ解析実行後、いずれの製品も、フルチップ・スタティック/ダイナミック解析を実行し、Encounter Power System 用 PGV を作成します。これにより、デジタル (ASIC)、カスタム・デジタル、アナログ、およびミックスシグナル・コンポーネントとパワー・ドメインを持つ複雑な SoC チップすべてにわたる IR ドロップの観測が可能になります。

熱解析

先端ノード向けに設計されているため Encounter Power System では先進的な熱解析を行うことが可能です。熱解析により、温度のばらつきに対する消費電力の影響を、ダイすべてにわたり観測することが可能になります。同様にインパクト・リーケージと電力消費、さらに IR ドロップの影響も観測可能になります。また、この機能により、温度の上昇を避けるための適切なダイの冷却を確実に行うことが可能になります。

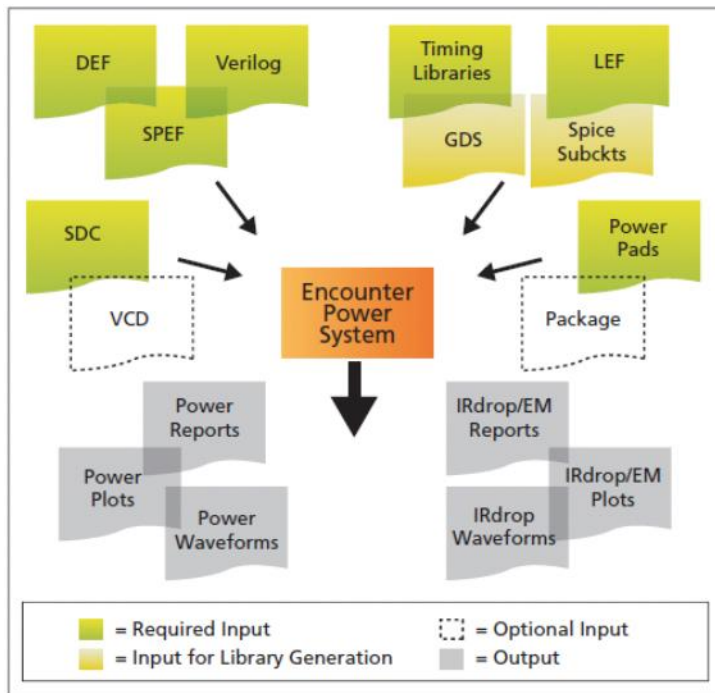


図5 Encounter Power Systemの
入出力ファイル

標準インターフェースサポート

必須デザインデータ

- ◆ タイミング・ライブラリ
- ◆ Verilog
- ◆ SDC
- ◆ LEF
- ◆ DEF
- ◆ SPEF
- ◆ デザインコンポーネントの
Spice サブサーキットと GDS
- ◆ パワーパッドロケーション
- ◆ QRC 用抽出テクノロジー・
ファイルもしくはプロセス・
ファイル

オプションデザインデータ

- ◆ Common Power Format
(CPF)
- ◆ VCD
- ◆ パッケージ・モデル

プラットフォームサポート

- ◆ Linux (32 ビット、64 ビット)
- ◆ Sun Solaris (64 ビット)
- ◆ HP-UX (64 ビット)
- ◆ IBM AIX (64 ビット)

パッケージ

Encounter Power System は L、XL
ライセンスを基に、Advance Analysis
オプションを用意しています。

cadence®

日本ケイデンス・デザイン・システムズ社

本社 / 〒222-0033 神奈川県横浜市港北区新横浜 2-100-45
営業本部
TEL.(045)475-8410 FAX.(045)475-8415 URL <http://www.cadence.co.jp/>
〒541-0054 大阪府大阪市中央区南本町 2-6-12 サンマリオン NBFタワー16F
TEL: (06)6121-8095 FAX: (06)6121-7510



販売代理店 イノテック株式会社 IC ソリューション本部

〒222-8580 神奈川県横浜市港北区新横浜 3-17-6
TEL.(045)474-2290,2291,2293(営) FAX.(045)474-2395
URL <http://www.innotech.co.jp/>
〒541-0054 大阪府大阪市中央区南本町 2-6-12 サンマリオン NBFタワー16F
TEL: (06)6121-7703(営) FAX: (06)6121-7720

* © 2011 Cadence Design Systems, Inc. All rights reserved worldwide.
CadenceおよびCadenceロゴは、Cadence Design Systems, Inc.の登録商標です。
その他記載されている製品名および会社名は、各社の商標または登録商標です。
* 掲載の内容は、2011年10月現在のものです。