

# INCISIVE ENTERPRISE SIMULATOR

Incisive® Enterprise Simulator (IES)は、Incisive 機能検証プラットフォームのコアです。ネイティブな混在言語サポート、ダイナミック・アサーション・チェック、トランザクション・レベルのサポート、HDL解析機能、デバッグ用各種環境などの特徴により、ナノメータスケールのICの検証を高速に高効率に実行します。使用する目的に応じ、基本的RTLシミュレーションのためのIES-Lと、SystemVerilogを含む多言語設計に完全に対応し、メトリクス・ドリブン検証を実現する IES-XLが用意されています。

## INCISIVE ENTERPRISE SIMULATOR

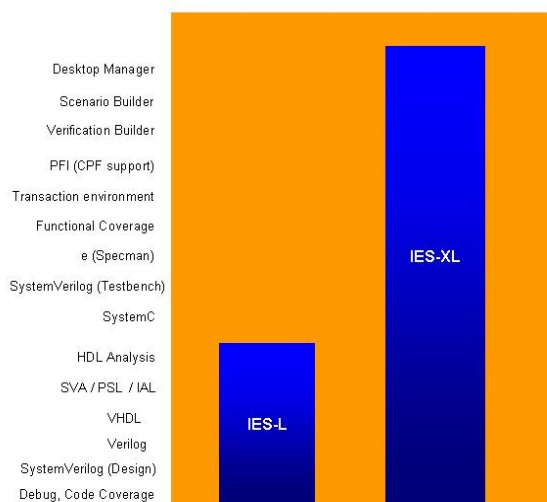
ケイデンスの Incisive シミュレータは、機能検証で必要とされる機能のすべてを提供する、Incisive 機能検証プラットフォームのコアとなるテクノロジーです。シングルカーネル・アーキテクチャにより、Verilog®, VHDL, SystemVerilog, e, SystemC®, PSL, SystemVerilog Assertion(SVA), OVL などの標準設計・検証言語をネイティブにサポートしています。シミュレーション機能に加え、HDL解析機能、コード/機能/トランザクションの各種カバレッジ収集・解析機能、波形図やスキマティック、ソースコードが有機的に参照できるデバッグ機能を備えています。また、検証IP やハードウェア・アクセラレーション・エミュレーション、ミックスシグナル検証、フォーマル・アサーション検証などの Incisive 機能検証プラットフォームの他の要素を追加することで、機能検証の機能・効率をより向上することができます。

## INCISIVE ENTERPRISE SIMULATOR -L

エントリレベルの Incisive Enterprise Simulator-L (IES-L)は Verilog、VHDL、SystemVerilog の設計記述での RTL シミュレーションが可能です。また、コード・カバレッジおよび強力なグラフィカルベースのデバッグ環境が使用できます。

## INCISIVE ENTERPRISE SIMULATOR -XL

Incisive Enterprise Simulator-XL (IES-XL)は IES-L の機能に加え、Verilog、VHDL、SystemVerilog、e、



SystemC®, PSL, SVA, OVL がサポートされ、機能カバレッジや制約付きランダムテスト生成、検証プランを使ったより高度なメトリクス・ドリブン検証手法や、トランザクションベースの検証手法に対応しています。

## 利点

- 言語混在下においても、最大のパフォーマンスを提供
- テストベンチと設計の双方に対して実行時間を圧縮

- 検証の目的や設計にあわせた三種類のシミュレータ
- エラーの発見や修正を容易にする統合されたグラフィカルベースのデバッグ環境
- 全ての標準言語・標準インターフェースをサポートし、レガシー資産やサードパーティ開発のIPの再利用性を向上

## 特徴

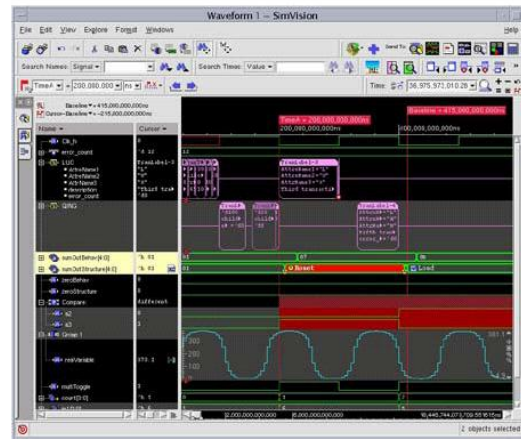
### ● シングルカーネル・アーキテクチャ

Incisive シミュレータのシングルカーネル・アーキテクチャはビヘイビア、トランザクション、RTL、ゲートレベルなど様々な抽象レベルを単一の処理系としてシミュレーション実行します。Interleaved Native-Compiled Architecture (INCA) は Verilog, SystemVerilog, VHDL, e, SystemC, SystemC Verification (SCV) Library, PSL, SystemVerilog Assertion (SVA), OVL などの全てのオープン標準言語をサポートしています。異なる言語や抽象度の設計やテストベンチのモデルを組み合わせ使用した場合であっても、単一の処理系で処理されるため、それぞれの言語の処理系を接続する場合のようなパフォーマンスやインテグレーションのオーバーヘッドは発生しません。

Incisive シミュレータは高速実行可能な効率的なマシンコードを生成します。生成されたデータ構造のリンクリストのスケジューリングは、先端のコンピュータ・プラットフォームでの最新キャッシング・アルゴリズムにおける効果を最大化できるように、信号の動作をプリプロセス実行します。

### ● SIMVISION 統合デバッグ環境

統合されたシミュレーション・デバッグ環境である SimViosn は Incisive での複数のシミュレーションの実行を容易に管理し、検証プロセスのどのポイントでもデザインやテストベンチを解析可能です。設計と検証フローの全体を通して、Incisive シミュレータは静的ハードウェア解析(スタイル・チェック、リンク・チェック)、ソース・ブラウジング、トランザクション&波形ビューイング、コード / トランザクション / アサーション・カバレッジ解析などをご提供します。



業界標準をベースにしたアプリケーション・プログラミング・インターフェース (API) は、すべてのレベルにユーザ定義チェックや解析を行えるように利用されています。プロジェクトに携わる全てのエンジニアがたった1つの環境で運用可能です。

### ● 統合トランザクション環境

Incisive シミュレータは統合されたトランザクション環境を持っており、トランザクションによる仕様設定、シミュレーション、記録、収集、解析、デバッグなどをサポートしております。信号レベル(すなわち、enable, r/w, address, data などのレベル)からトランザクション(read や write のようなデータ・イベント)へ抽象レベルを引き上げることによって、検証のスピードを加速させることができます。トランザクション・レベルのモデルとテストベンチは、等価な RTL として書くための時間の断片を取り、これにより 100 倍以上のシミュレーションを行うことができます。トランザクション・レベルでのモジュールのデバッグもまた非常に効率的に行うことができます。

### ● ネイティブな PSL, SVA および OVL サポート

Incisive シミュレータのシングルカーネル・アーキテクチャはネイティブに PSL, SVA および OVL をサポートします。また、共通的なアサーション記述の支援のためのライブラリ Incisive Assertion Library (IAL) も提供しています。アサーションは設計チームにインターフェースやロジックをモニタしながら、自動的に指定されたエラー・コンディションやクリティカルなカバレッジ・シチュエーションを検出する仕組みを構築させることを可能にします。観測してい

る結果の増加は設計者により多くのバグの検出につながり、またそれらのソースコードに緊密なレベルでバグを検出することができ、すべてのインターフェース・アクティビティが正しいことを確実にします。さらにはカバレッジ・ホールを検出するなど、様々な機能をサポートします。ネイティブ・カーネルのサポートにより、アサーションが実行時間やキャパシティのオーバーヘッドを最小のインパクト(一般に1~5%)に抑えます。これは適切なアサーションが常にアクティブになっているので、気がつかないうちにバグがすり抜けてしまうことを確実に防ぎます。

### ● HDL 解析

Incisive の HDL 解析機能は、設計サイクルの初期の段階で、設計のバグやコーディングの誤りを検出します。HDL 解析には 500 以上の構文エラー、セマンティクスエラー、機能エラーを検出するためのルールが組み込まれています。シミュレーション前に HDL 解析をかけることで、レース条件、クロックドメインの同期化問題、セマンティクス上の曖昧さや論理合成時に発生しうる問題を事前に検出することができます。HDL 解析には RMM (Reuse Methodology Manual)のルールが標準で組み込まれており、また、各社の設計スタイルに合わせたユーザ定義による拡張も可能です。強力なルール定義 GUI およびグラフィカルな解析ツールは、1 回で動作するコードを書くことを支援します。

### ● 総合的カバレッジ

Incisive の総合的カバレッジ機能を使用することで、全ての機能が検査されたか否かを確認することができます。ソースコードカバレッジと機能カバレッジを併用することで、デザインの全てのコードおよび検査仕様が全てテストされたか否かを判断することができるようになり、設計の品質を高いレベルで安定させることができます。

## SPECIFICATIONS

### シミュレーション

- シングル・カーネル・シミュレーション・エンジン
- Verilog (IEEE 1364-1995, IEEE 1364-2001 拡張)
- SystemVerilog (IEEE 1800)

- e (IEEE 1647)
- VHDL (IEEE 1076-1987, IEEE 1076-1993, IEEE 1076.4-2000 (VITAL 2000))
- SystemC (OSCI® SystemC v2.01, IEEE1666)
- PSL (IEEE 1850)
- SVA (IEEE 1800)
- コンパイル
  - 最大のパフォーマンスを引き出すためにホスト・プロセッサマシン・コードヘダirectに変換するネイティブ・コンパイルーション・テクノロジー
  - コンパイル時間を削減するインテリジェントなインクリメンタル・コンパイル機能
- キャパシティ
  - 32 ビット OS (4GB アドレス可能) で 10M ゲート相当
  - 64 ビット OS で 100M ゲート規模以上
- サーバー・ファーム
  - Platform Computing LSF
  - Sun Microsystems Gridware

### アサーション

- PSL および SVA のサポート
  - PSL は Verilog、VHDL、SystemC 版をサポート
- OVL(The open verification library standard) サポート
- HDL と共通のコンパイルおよびエラボレーションメカニズム
- HDL と共通の GUI
- ダイナミック・アサーション・チェックのネイティブ・シミュレーション・サポート
  - HDL とのネイティブ・コンパイルによる高速性
  - HDL 内に埋め込むことも、別ファイルに記述することも可能
  - 波形図ウィンドウへの直接表示を可能とするトランザクション・レコーディング

### HDL 解析

- 500 以上のリントおよびコード解析のためのルール
  - 論理合成チェック
  - レース条件

- コード再利用性
- クロックドメイン同期化
- FSM 符号化
- アクセラレーションチェック
- 論理合成時の DFT エラー検出のためのゲートレベルネット解析
- Verilog, VHDL 混在環境サポート
- VPI/VHPI を用いた強力なカスタマイズ機能
- 並べ替えやフィルタ、メッセージ解析が可能な GUI

## 解析環境

- デバッグと GUI
  - 波形ウィンドウ
  - レジスタ・ウィンドウ
  - 統一されたトランザクション / 信号表示
  - スケマティック・トレーサ
  - エクスプレッション・カリキュレータ
  - シグナル・フロー・ブラウザ
  - ソース・ビューア
  - エラー・ブラウザ
  - Tcl/Tk スクリプト機能による表示カスタマイズ機能
  - SST2 データベースへの信号およびトランザクション・データのダンプ
- パフォーマンス解析ツール
  - シミュレーション時間が多く費やされた HDL コード・エリアを解説 (コード・プロファイル機能)
- コード・カバレッジ
  - Verilog, VHDL および HDL 言語混在デザインをサポート
  - オートマチック FSM 抽出
  - ブロック、パス、エクスプレッション、変数、ゲート、FSM (ステート、シーケンス)、トグル等のカバレッジ属性をサポート
  - カバレッジ・データの再利用

- Bit-wise によるエクスプレッション・カバレッジ機能

## 機能カバレッジ解析

- Verilog, VHDL, SystemVerilog, e, SystemC, SCV, PSL, SVA, OVL をサポート
- SST2 データベースへのデータのダンプ
- カスタム解析用の Tcl/Tk スクリプト機能

## サード・パーティ・サポート

- ASIC ライブラリ
  - 30 社以上の ASIC ベンダーが Incisive 用にライブラリを認証
  - 150 以上のライブラリ
- モデル
  - ケイデンスの検証 IP パートナー・プログラムを通してサード・パーティ・モデルをサポート
- ツール
  - 30 社以上のベリフィケーション・カンパニー・パートナーを持つケイデンスのコネクション・プログラムを通して、サード・パーティ・ツールをサポート

## インターフェース

- PLI (IEEE 1364)
- VPI (PLI 2.0, IEEE 1364)
- OMI (IEEE 1499)
- VHPI
- コンパイルド SDF

## プラットフォーム

- Sun Solaris
- HP-UX
- Linux

**cadence®**



### 日本ケイデンス・デザイン・システムズ社

本社 / 〒222-0033 神奈川県横浜市港北区新横浜 2-100-45

営業本部

TEL.(045)475-8410 FAX.(045)475-8415 URL <http://www.cadence.co.jp/>

関西営業所

〒541-0054 大阪府大阪市中央区南本町 2-6-12 サンマリオン NBF タワー16F

TEL.(06)6121-8095 FAX.(06)6121-7510

販売代理店 **イノテック株式会社** IC ソリューション本部

〒222-8580 神奈川県横浜市港北区新横浜 3-17-6

TEL.(045)474-2290,2291(営) FAX.(045)474-2395

URL <http://www.innotech.co.jp/>

大阪支社

〒541-0054 大阪府大阪市中央区南本町 2-6-12 サンマリオン NBF タワー16F

TEL. (06)6121-7703(営) FAX. (06)6121-7720

\* OSCI®と SystemC®は、Open SystemC Initiative, Inc.の米国およびその他の国で登録された商標です。これらの商標は Open SystemC Initiative, Inc.の許可の下に使用されています。

\* © 2011 Cadence Design Systems, Inc. All rights reserved worldwide. CadenceおよびCadenceロゴは、Cadence Design Systems, Inc.の登録商標です。

その他記載されている製品名および会社名は、各社の商標または登録商標です。

\* 掲載の内容は、2011年8月現在のものです。