

INCISIVE 検証 IP

UVC (Universal Verification Component)

ケイデンスの検証IPの活用により、検証環境立ち上げ期間を短縮しながら、検証の品質と生産性、およびその予測性を向上することが可能となります。業界標準のOpen Verification Methodology (OVM)をサポートしており、互換性およびIP再利用性も向上しています。また、新機能であるCompliance Management Systemにより、プロトコル検証の効率化も推進できます。

INCISIVE UNIVERSAL VERIFICATION COMPONENT (UVC)

UVC は、ブロックレベル検証からシステムレベル検証まで広く適用可能な、高機能テストベンチ構築のための IP です。単体試験-結合試験-全体試験それぞれの機能検証での段階において、等しく強力なメトリクス・ドリブン検証を実施することが可能になります。IP のインターフェースとしては、SystemVerilogと e の両方を業界で唯一、サポートしています。

UVC は単にバス・ファンクション・モデル (BFM) の機能を提供するだけではなく、制約付きランダムテスト生成、アサーション・チェッカ、機能カバレッジ解析の全ての機能がコンフィギュラブルで拡張可能かつ高い再利用性の検証 IP として、高度な検証環境構築には欠かせない部品となっています。この高い再利用性により、従来であれば数週間から数ヶ月かかっていた検証環境構築が、ベストケースでは数時間で完了してしまうことすら可能です。また、ケイデンスの Incisive UVC は、全てが業界標準の OVM 準拠での検証環境で使用することが可能であり、検証プロセスの変更にも、少ない労力で移行が可能となります。また、モジュールからブロック、システムへと検証のレベルをあげていくことにも対応し、これらの検証に対して同じ検証 IP で対応することが可能です。また、UVC にはケイデンス独自のコンプライアンス・マネージメント・システム (CMS) が含まれ、プロトコルの互換性を検証する上での大きな支援となります。CMS はプロトコル互換性の検証において、マニュアルテストを書くことなく高い機能カバレッジを達成します。検証プラン (vPlan) とテストスイートも組み込まれ、

制約付きランダムによる数百ものテストを自動生成します。CMS は、新たな言語やツールを覚えなくても簡単に使用できます。CMS は検証結果をプロトコル仕様と対比させ、問題の発見やデバッグを容易にします。

UVCの機能

CMS を利用した メトリック・ドリブン検証

何百、何千というダイレクトテストの記述や管理を行うことなく、検証完了までに必要な効率性と予測性を提供するツールや自動化手法を提供するものです。また、プロジェクト管理のための明確なステータスレポートも提供します。



UVC はシンプルなバス・ファンクション・モデル (BFM) 以上の高機能なソリューションを提供します。Incisive UVC は自動化されたプロトコル準拠性の検証 (CMS)、自動化された制約つきランダム生成、及びビルトインの機能カバレッジモデルを提供します。これは、何百、何千というダイレクトテストの記述や管理を行うことなく、検証完了までに必要な効率性と予測性を提供するツールや自動化手法を提供するものです。また、プロジェクト管理のための明確なステータスレポートも提供します。メトリック・ドリブン検証は検証チームが最も容易にカバレッジホールを特定し DUT

の最も問題となる部分にリソースを集中することを可能にします。

マルチ検証言語

UVC は、SystemVerilog ベース、e ベースのテストベンチのどちらでも利用することができます。



再利用が容易な業界標準のOVMをサポート

OVM 準拠である Incisive UVC は、OVM 検証環境においてプラグ&プレイで利用できます。更にユーザの負荷を減らし、デザイン組み上げ過程での検証環境の階層構造の変更や派生デザインの検証にもすぐに再利用することができます。より上位の検証階層や派生設計に移行した場合にも環境構築に費やした労力を無駄にすることなく再利用可能です。

コンフィギャラブルな検証IP

Incisive UVC は、コンフィギャラブルであるため、検証対象の仕様に合わせて検証することができます。ユーザは UVC 内の機能の一部に加え、機能カバレッジ、チェッカ、レポートエンジンを切り替えたり、各機能ブロックを選択的に有効化・無効化することも可能です。

Incisive UVC は 検証プロセスの各段階で特定の要求に対応し、デザインの如何なる部分、またはデザイン全体にフォーカスし検証環境を最適化することが可能です。一般には、モジュール、チップおよびシステムレベルでのデバイスの機能検証に利用されます。また、特定のタスクに対応した検証最適化のため機能カバレッジやチェック構造を切り替えたり、各機能ブロックを選択的に有効化・無効化するコンフィギュレーションも可能です。この機能により、検証完了までの最も予測性の高い道筋を提供しシミュレーションやワークステーションの利用効率最大化できます。

強力な制約つきランダムステミュラス生成機能

何千ものダイレクトテストを利用する従来のソリューションとは異なり、Incisive UVC は自動化されたステミュラス生成により、エンジニアが実行すべき作業を軽減します。提供されるシーケンスライブラリを含む、自動化されたシナリオ実行により、主要なプロトコル機能はもちろん、到達困難なシナリオやコーナーケースをカバーすることが

出来ます。実行されなかったコーナーケースがあった場合、数本のテストを追加するとそれらを活性化することができます。このアプローチはより多くのバグを早期に発見し、エンジニアの時間を節約し DUT 固有の機能のテストに集中できます。そして CMS により全体のプロセスを自動化できるのです。

- プロトコルシナリオの探索すべき幅広いレンジに対応可能で、要求されるプロトコル知識レベルを低減可能
- 生成されたステミュラスへのエラーやノイズの挿入をサポート

機能カバレッジ計測とビルトイン機能カバレッジアイテムによるレポート機能

ビルトインのデータ及びテンポラルアサーションが利用できます。

再利用のための構造

CMS と共に、ケイデンス独自の再利用のための知識とメソドロジーを利用することで、今日の最も複雑な SoC やシステム設計用の機能検証環境を迅速に立ち上げることが可能です。これらは UVC ベースの環境が派生設計のみならず、ブロックからチップ、システムレベルへと移行する際、迅速な再利用を可能にします。冗長な作業を省くことで、時間とリソースの削減が可能です。

提供物

- UVC ソフトウェア (プログラム)
- vPlan、Test Suite を含む Compliance Management System (CMS)
- ドキュメンテーション
 - ユーザマニュアル
 - リリースノート
 - プログラムの電子ドキュメント (HTML 形式)
- 実行可能な検証環境サンプル

AMBA PROTOCOLS

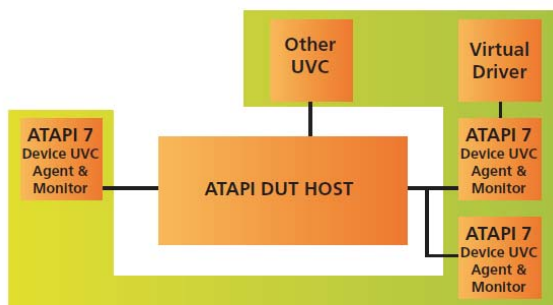
完全な AMBA プロトコルサポート

AMBA Incisive UVC は AHB, AXI, 及び APB ベースのデバイス及び IP を検証可能です。エラー挿入に対応した、自動化された AHB, AXI 及び APB トラフィック生成機能は効果的で迅速な検証を約束します。

ATAPI

完全な ATAPI プロトコルサポート

- ATAPI Incisive UVC は ATA/ATAPI 7 ベースのデバイスと IP を検証可能
- PIO (0-4)、MDMA (0-2)、UDMA (0-6) タイミングをサポート



CAN

完全な CAN プロトコルサポート

CAN Incisive UVC は CAN ベースデバイス及び IP を検証可能

- CAN2.0A/B 規格に準拠
- data、remote、error、overload フレームを完全サポート
- 生成されたフレームへのエラーやノイズの挿入をサポート
- エラーカウンターとフォルトステートを記録
- ビルトイン機能カバレッジ計測とレポートイング
- ビルトイン定義済み機能カバレッジアイテムのセット
- 定義済み制約つきランダムテスト(シーケンス)のデータベース
- ランダム化レベルはユーザ選択可能
- エージェント(フレームジェネレータ)またはモニタのみとしてコンフィグレーション可能

ETHERNET

完全な ETHERNET プロトコルをサポート

- Ethernet Incisive UVC は Ethernet PHY 及び MAC デバイス検証用です。
- Compliance Management System (CMS) により、自動的に高い機能カバレッジ率を達成

- PHY 及び MAC の両方の検証に対応
- シングル、及びマルチポート Ethernet デバイスの両方の検証が可能
- Ethernet インターフェースの最も広いレンジをサポート
- 10Mb, 100Mb, 1Gb, 10Gb のバンド幅をサポート

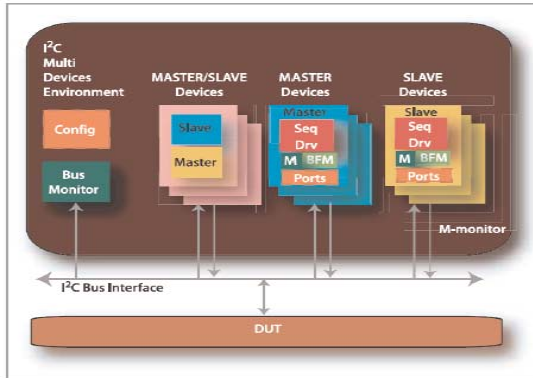
Verification Support			
Interface	10/100Mb	1Gb	10Gb
MII	X		
RMII	X		
SMII	X		
GMII		X	
RGMII		X	
SGMII		X	
TBI		X	
1GBASE-KX		X	
RTBI		X	
XAUI			X
XGMII			X
XSBI			X
10GBASE-KX4			X
10GBASE-KR			X

- メトリック・ドリブン検証(MDV) を実現可能
- 各ポート独立のコンフィギュレーションなど、DUT 固有の要求に対応するため、完全にカスタマイズ可能
- 強力な制約つきランダム生成機能は、エラー挿入を含む複数 Ethernet パケットタイプをサポート
- 全二重及び半二重オペレーションモードをサポート
- マネージメントインターフェース (MIB) をサポート
- 自動ネゴシエーション機能をサポート
- データインテグリティを計測するためのコンフィギュレーション可能なビルトインスコアボード
- 実行可能な検証環境サンプル
 - MAC デバイス
 - PHY デバイス
 - Switch デバイス
 - Repeater デバイス

I2C

完全な I²C プロトコルサポート

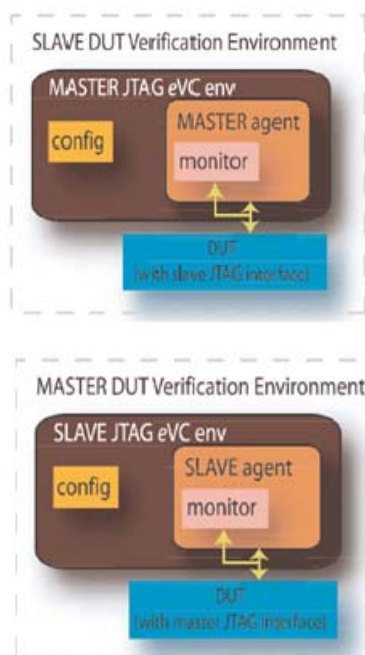
- I2C Incisive UVC は I2C ベースデバイス及び IP を検証可能
- 各個別 DUT をサポートするための簡単なコンフィギュレーション



JTAG

完全な JTAG プロトコルサポート

- JTAG Incisive UVC は、IEEE1149.1 JTAG ベース IP 及び SoC を検証可能
- JTAG マスタとスレーブとして利用可能
- BYPASS、SAMPLE、PRELOAD、EXTEST (標準)、IDCODE、USERCODE、CLUMP、HIGHZ (オプション) などの IEEE1149.1 内の必須の命令をサポート
- ユーザ定義の命令とレジスタで拡張可能
- オプションのリセット信号のコンフィギュレーション
- オプションの出力イネーブルによるコンフィギュレーション



LIN

完全な LIN プロトコルサポート

- LIN-ベース IP 及びネットワークを検証可能
- LIN 1.3 及び 2.0 規格に準拠
- 必須及び選択可能なコンフィギュレーションを含む、全フレームタイプをサポート。
- ビルトイン機能カバレッジ計測とレポートイング
- 実際のフレームと一致するための容易に制約可能な定義済み LIN コンフィギュレーションシーケンスのデータベース
- 生成されたフレームへのエラーやノイズの挿入をサポート
- マスタ/スレーブ (モニタのみ) としてコンフィギュレーション可能
- マスタはランダムトラフィック及びネットワークとして完全なコンフィギュレーションを送信可能
- ユーザスコアボード作成のためのフックを提供
- UVC 簡単コンフィギュレーション用に提供された Node 機能ファイル
- エージェント(frame publisher/subscriber)やモニタのみとしてコンフィギュレーションされる

MIPI

完全な MIPI CSI 及び DSI サポート

MIPI Incisive UVC は Camera Serial Interface (CSI), Display Serial Interface (DSI), 及びその下位に位置する D-PHY のデバイス及び IP を検証可能です。

(エラー挿入を含む)自動化された CSI, DSI, 及び PHY のトラフィック生成機能により効果的な検証をお約束します。

全ての MIPI UVC は全 Incisive UVC の差別化機能である、プロトコルチェック、API モニタリング、カバレッジ計測、エラー挿入機能を備えています。

MIPI CSI UVC 機能	MIPI DSI UVC 機能
CSI-2 レシーバ及びトランスミッタ双方の検証に対応	DSI プロセッサ及びペリフェラルの検証に対応
1-4 データレーンをサポート	1-4 データレーンをサポート
トラフィックを駆動するときのユーザ API はフレームを基本とする。ユーザはフレーム・パケットのパラメータ制御も可能	トラフィックを駆動するときのユーザ API はパケット。UVC は全てのデータタイプをサポート
インターリーブをサポート	コマンド及びビデオモードの両方をサポート
	複数の DSI パケットを同一の PHY 転送で送受信可能

その他の MIPI プロトコルサポート

UniPro, SLIMbus, 及び DigRF v4 の MIPI Incisive UVC のアーリーアクセスバージョンが現在利用可能です。製品リリースのターゲットスケジュールは 2009 年の第 4 四半期を予定 (例外あり)。

OCP

OCP 完全サポート

- OCP Incisive UVC は OCP ベースのデバイス及び IP を検証可能
- プロトコルチェックは OCP2.2 規格に完全準拠
 - OCP 3.0 の規格が策定されればケイデンスは UVC でのサポートを保障
- マスタ/スレーブ (或いはモニタのみ)としてコンフィギュレーション可能
 - マスタはコマンドのフルセットの駆動が可能
 - スレーブは RAM としてコンフィギュレーション可能
- 完全な、マルチスレッディング及びタッピングサポート

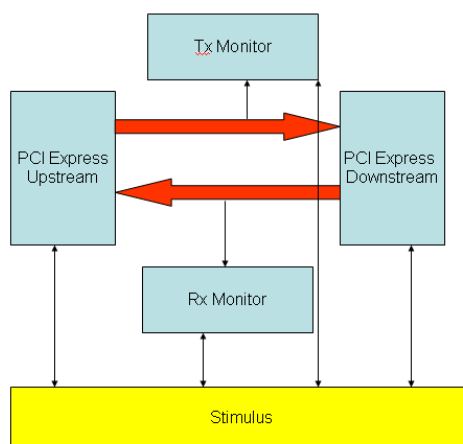
- 完全 2D バーストモデル、ノンブロッキングフローコントロールサポート、非同期リセット、クロックイネーブル機構をサポート
- エラー挿入を含む自動化 OCP トラフィック生成
- ビルトインの機能カバレッジ測定と仕様書の章番号との自動的相関
- 固定シナリオから完全ランダムまで、ランダム性をユーザ制御可能な大量の提供済み OCP テスト
- ビルトインのリファレンス・バースト準拠テストライブラリ
- OCP UVC のみでテストケースを実行するセルフテスト オプション (DUT 作成前に利用)

自動コンフィギュレータ

OCP Incisive UVC は、テスト対象のデザインに対応するため、ウィザード形式の GUI を利用し対話的に検証要求の設定を御行うことで、サンプルで正確な VIP コンフィギュレーションを可能にします。

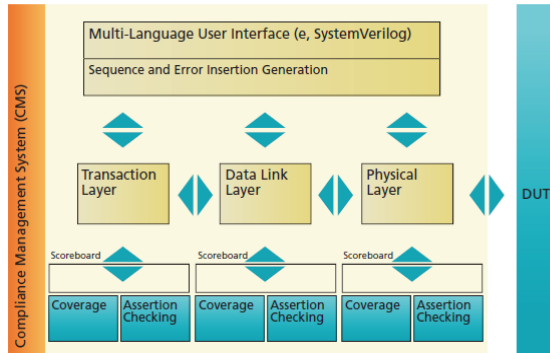
PCI Express

PCI Express 完全サポート



- PIPE インターフェースとパワーマネージメント検証をフルサポート
- リクエストとコンプリション転送両方の TLPs を作成
- クレジットベースのフローコントロールを実装
- バーチャルチャネルにマッピングされるトラフィック・クラスをサポート
- データリンク制御とステートマシン管理を実装
- TLP シーケンス番号と LCRCs の生成と検証
- データ・リンクレイヤのリトライ用にコンフィギュレーション可能な TLP ストレージの提供
- DCRCs の生成と DLLPs の検証

- アクノリジメントとリプレイタイムアウト機構を実装
- データ・スクランブリング、エンコーディング、フレミングをサポート
- 複数レーン (x1, x2, x4, x8, x16, x32) サポート
- クロック補償を提供



SAS

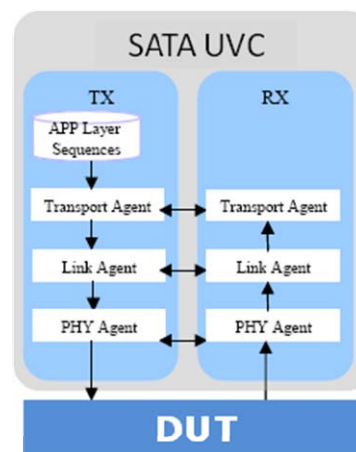
完全な SAS プロトコルサポート

- SAS イニシエータモデルとしてプログラム可能
- SAS ターゲットモデルとしてプログラム可能
- SSP 及び SMP プロトコルチェック
- ケイデンス SATA UVC との統合が容易
- PHY での適正タイミングとミスアラインメント・エラーをサポートしチェック可能
- 全レイヤにおいてプリミティブシーケンス生成と送信をサポート
- ランダム、ダイレクト、エラーナスパターンの生成をコンフィギュレーション可能
- スコアボード実装用のコンフィギュレーション可能な設定
- 各レイヤでの、チェッカによるプロトコルタイミングチェックと機能精度の検証
- レイヤ毎のトランスミッタ及びレシーバーステートをサポート
- エンコーダ/ デコーダ、スクランブラー、CRC チェッキングを装備
- マルチポート SAS ホストのテスト用の調整
- プロトコルカバレッジレポートによりプロトコル検証の完全性を確認

SATA

完全なSATA プロトコルサポート

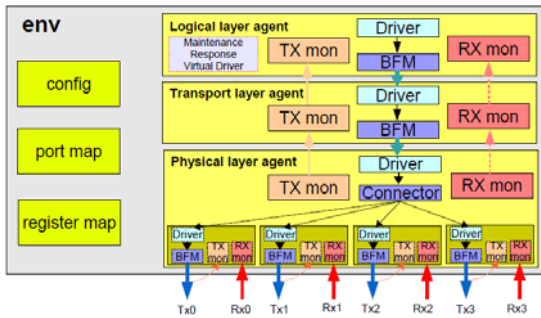
- SATA Incisive UVC は SATA 2.6 ベースのデバイスとホストを検証可能
- SATA ホスト、またはデバイスモデルとしてプログラム可能
- ホストモデルは ATA コマンドシーケンスをサポート
- 各レイヤにおいて、プロトコルタイミングチェックと機能的正確性を検証
- PHY レイヤでは、タイミングとミスアラインメント・エラーをチェック
- 全てのレイヤでプリミティブシーケンスの生成と送信をサポート
- ランダム、ダイレクト、エラーナスパターンをサポート
- スコアボード実装用のコンフィギュレーション可能な設定
- レイヤ毎のトランスミッタ及びレシーバーステートをサポート
- エンコーダ/ デコーダ、スクランブラー、CRC チェッキングを装備
- マルチポート SATA ホストのテスト用の調整
- プロトコルカバレッジ値を提供
- 全 SATA レイヤ用のスティミュラス生成
 - アプリケーション・レイヤは Read DMA, Write DMA, Read PIO, Write PIO, Read Queued, Write Queued, command Queued などの ATA 転送用のスティミュラスを生成
 - トランスポートレイヤは 全ての SATA フレーム情報構造用スティミュラスの生成及びエラーやエラーフレーム挿入可能
 - リンクレイヤは全ての SATA プロトコルプリミティブ を生成
 - PHY レイヤは適合・不適合タイミングの OOB シグナリングを生成



Serial RapidIO

完全な SERIAL RAPIDIO プロトコルサポート

- Serial RapidIO Incisive UVC は Serial RapidIO 1.3 ベースの SOCs 及び IP を検証可能
- 各個別の DUT をサポートするための容易なコンフィギュレーション
- レガシーRapidIO コマンドサポート
- 機能カバレッジ計測及びビルトイン機能カバレッジアイテムによるレポート機能
- 個別用のシーケンスライブラリを持つエージェントとしてプロトコルレイヤを実装
- ロジック、トランスポート、フィジカルなど、全プロトコルレイヤにおいて、テスト生成をサポート
- 共用及びエージェント毎モニタ経由でプロトコルモニタリング及びチェックをサポート
- 各個別のプロトコルレイヤ及び、全プロトコルレイヤ一緒の、広範囲なビルトインカバレッジモデルをサポート



USB

USBプロトコルを完全サポート

- USB 準拠のデバイス、ホスト、ハブを検証可能
- USB1.1 及び 2.0 規格準拠
- High/Full/Low-Speed をサポート
- アクティブ(信号ドライブ)若しくはパッシブ(信号モニタ)の USB ホスト/デバイスとして機能
- アクティブ / パッシブ の High Speed TT(Transaction Translator) HUB をサポート
- Session Request Protocol(SRP) 及び、Host Negotiation Protocol(HNP)をサポートする USB On-The-Go(OTG)
- UTMI 及び、UTMI+準拠
- UTMI+Low Pin Interface(ULPI)準拠
- High-Speed Inter-Chip(HSIC)USB をサポート
- USB 2.0 Link Power Management(LPM)規格をサポート
- バックドアコンフィギュレーション及び、ホットコンフィギュレーションをサポート
- マルチデバイスコンフィギュレーションをサポート
- エラー/ノイズのインジェクションを含む制約付きランダムトラフィック生成
- Power シグナリングをサポート
- パケット/トランザクションのためのビルドイン機能カバレッジを含むカバレッジ・ドリブン検証をサポート

cadence®

日本ケイデンス・デザイン・システムズ社

本社 / 〒222-0033 神奈川県横浜市港北区新横浜 2-100-45
営業本部
TEL.(045)475-8410 FAX.(045)475-8415 URL <http://www.cadence.co.jp/>
〒541-0054 大阪府大阪市中央区南本町 2-6-12 サンマリオン NBF タワー16F
TEL.(06)6121-8095 FAX.(06)6121-7510



販売代理店 **イノテック株式会社** ICソリューション本部

〒222-8580 神奈川県横浜市港北区新横浜 3-17-6
TEL.(045)474-2290,2291,2293(営) FAX.(045)474-2395
URL <http://www.innotech.co.jp/>
〒541-0054 大阪府大阪市中央区南本町 2-6-12 サンマリオン NBF タワー16F
TEL. (06)6121-7703(営) FAX. (06)6121-7720

* 記載の各製品等は登録商標です。
* 掲載の内容は、2009年8月現在のものです。