

CADENCE ORCAD SIGNAL EXPLORER SIGNAL INTEGRITY TECHNOLOGY

Cadence® OrCAD® Signal Explorerは、初期のスキーマティックから配置を終え、最終配線までのデザイン・プロセスを通じて、シグナル・インテグリティに係わる課題解決のためにエンジニアを支援します。それは、プリ/ポスト配線のトポロジ抽出、信号解析と検証を可能とし、設計者にPCBデザイン・フロー全体で回路信頼性を向上させ、周知の推奨配線要求へと導きます。

高まるデザイン密度、複雑さ、そして多数のシグナル・インテグリティの問題を引き起こす高速エッジレートが、時間の消費と解析・修正の繰り返しを起こさせ、製品コストを増加させます。Cadence OrCAD Signal Explorerは、サイクルの最初から配置と最終配線までのデザイン・プロセス全体で、エンジニアがこれらの問題を解決できるようサポートします。

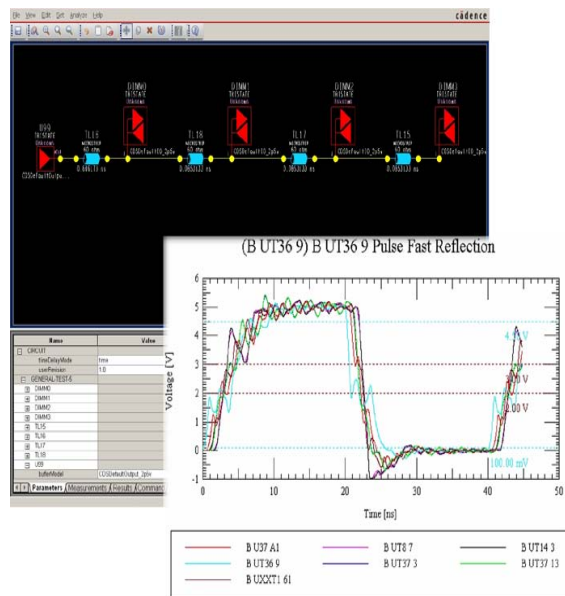


図1: OrCAD Signal Explorerの分析、トポロジ検討と配線は、わずかなリスピンに対し、潜在的なSI関連問題を最小にし、より短いラボデバッグ時間を支援します。

また、これらのシグナル・インテグリティの問題は、設計者が容易にポストレイアウト抽出と、複雑なPCB配線の検証を行うことを可能にする統合されたデザイン・フローの要求を生みだします。

統合された設計と解析環境は、シミュレーションと解析を実行するためのデザイン・データベースの変換作業を必要としません。Cadence OrCAD PCB Editorとのシームレスな統合が、データベース交換と可能な変換問題を削減します。エンジニアは、ボードが一部、完全配置された、或いは一部、完全配線された、そして、ネットリスト、或いはPCBデータベースが存在しないときでさえ、デザイン・サイクルのどの段階においても、シグナル・インテグリティ解析、或いはトポロジの検証を行うことが可能です。

Cadence OrCAD Signal Explorerは、PCBシグナル・インテグリティ解析向けにSPICEベースのシミュレーション環境を提供します。それは、Tlsimシミュレーション・エンジン、SigWave波形表示、デバイス・モデル言語(DML)、他のモデリング・フォーマットからの変換、そしてライブラリ・モデル編集/管理サブシステムから構成されています。

利点

- デザイン・サイクルのどの段階においても、プリ/ポストレイアウト・シグナル・インテグリティ解析を可能とし、コンストリント厳守を保障
- インターコネクト・トポロジの検証、解析、及び設計が、回路の信頼性を向上させ、また回路性能を向上させ、プロトタイプ・リスピンを削減
- OrCAD PCB Editorから直接抽出されたトポロジを取り込むことにより、シミュレーション実行のためのデザイン・データベース変換の必要を排除
- 多種のモデルを作成、操作、実証し、素早くモデル/シミュレーション・パフォーマンスを改善する使い勝手の良いモデル編集環境を提供

特長

SIGXPLORER MODULE

OrCAD Signal Explorerは、フィジカル・インターコネクトの電氣的表示と、クリティカルな高速信号解析向けのシミュレーション・コックピットを提供します。

ユーザは、スキマティックがスタンドアロン・モードでSigXplorerを利用することで、作成される前にネットを探ることが可能です。 SigXplorerは、トポロジの検討を始める際に多種のストリップラインとマイクロストリップラインの損失モデルを提供します。 OrCAD Signal ExplorerはシームレスにOrCAD PCB Editorと統合され、ユーザはSigXplorer内でプリ配線、或いはポスト配線段階でネットの抽出が可能です。ユーザは、SPICEベースのシミュレーションを利用して信号解析を素早く実行することができます。

SIGWAVE

SigWave波形表示は、多数のフォーマットでシミュレーション結果を提供できます。 オシロスコープ・モードは、個々の波形表示の表示/非表示とスクリーン上の測定マーカーを提供します。

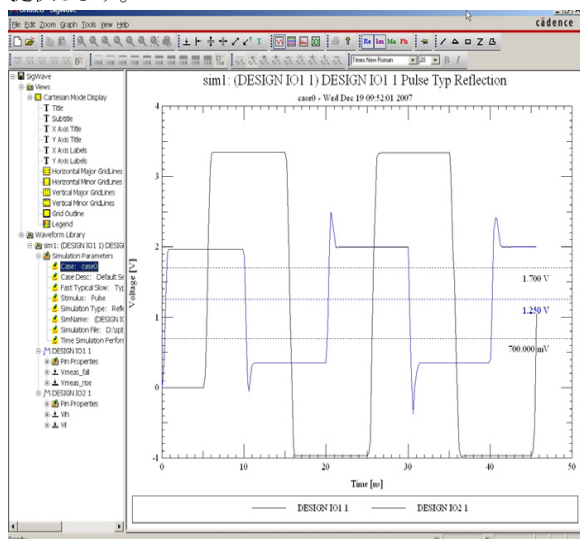


図2: SigWaveの解析シミュレーション結果と表示

ロジックアナライザ・モードは、複数の波形を一緒に表示するため、ロジック・ビヘビアとバス・トランザクションを容易に見ることができます。 スペクトラム・アナライザ・モードは、いくつかのFFT技術の1つを利用し、周波数ドメインでシグナル・ビヘビアを表示します。 アイダイアグラム・モードは、長いシミュレーションのシーケンスのパターン表示に対して有

効です。 SigWaveは、同様に一般的なシグナル・インテグリティ解析ツールの出力フォーマットから、また同様に、さまざまな標準テスト装置フォーマットから直接波形データを取り込むことができます。

MODEL INTEGRITY

Model Integrityモジュールは、OrCAD Signal Explorer内で素早く、簡単にモデルの作成、取り扱いと確認を可能とする編集環境を提供します。 このモジュールは、IBISで記述されたモデルや、DMLで記述されたアドバンス・モデルのためのシンタックス・チェッカとモデル・ブラウザが含まれています。 OrCAD Signal Explorerは、多くの半導体メーカーによって作成され利用可能な標準IBISモデルを含む多種のデジタル・モデリング・フォーマットからのデバイス・モデルをサポートします。 加えて、OrCAD Signal Explorerは、DML、さらに複雑なデバイス向けの次世代のモデリング言語を提供します。 この柔軟なマクロモデリング拡張言語は、IBIS機能を増加させ、最先端IOの機能性を素早く、そして正確にモデリングさせることを可能にします。

SPICE-BASED SIMULATION ENVIRONMENT

Tlsimシミュレーション・エンジンは、ビヘビア解析のスピードと伝統的なSPICEベースのストラクチャ・モデリングの利点を兼ね備えています。 これには、V-IとV-Tデータから特性をモデル化するIBISスタイルのビヘビア・モデリング手法が含まれます。

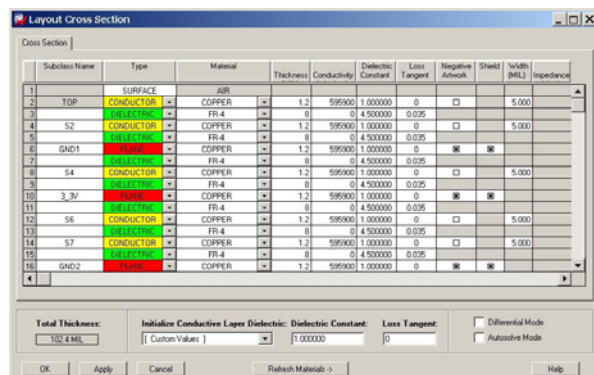


図3: ユーザは、トポロジ、或いはスタックアップ・インフォメーションを変更し、素早く、インタラクティブ・トレードオフを行うことができます。

ストラクチャ・モデルとビヘビア・モデルの共存により、TlSim は複雑なデバイス・ビヘビアの正確で、効果的なモデリングを可能にします。これには、ギガヘルツまでの周波数依存のトランスミッション・ライン損失モデルが分配されたトレースライン・ビヘビアが含まれます。

統合された電気的・フィールド・ソルバは、配線エッチの電気特性とPCBのビアの電気的・モデルの作成を決定します。

販売、テクニカル・サポートおよびトレーニング

OrCAD 製品群は、Cadence Design Systems, Inc.によって所有され、その製品に関する販売、テクニカル・サポート、トレーニングは各地域のケイデンス・チャンネル・パートナーより提供されます。

cadence®

日本ケイデンス・デザイン・システムズ社

本社 / 〒222-0033 神奈川県横浜市港北区新横浜 2-100-45

営業本部

TEL: (045)475-8410 FAX: (045)475-8415

〒541-0054 大阪府大阪市中央区南本町 2-6-12 サンマリオン NBF タワー16F

TEL: (06)6121-8095 FAX: (06)6121-7510

URL: <http://www.cadence.co.jp/>

* © 2010 Cadence Design Systems, Inc. All rights reserved worldwide.

CadenceおよびCadenceロゴは、Cadence Design Systems, Inc.の登録商標です。

その他記載されている製品名および会社名は、各社の商標または登録商標です。

* 掲載の内容は、2010年3月現在のものです。