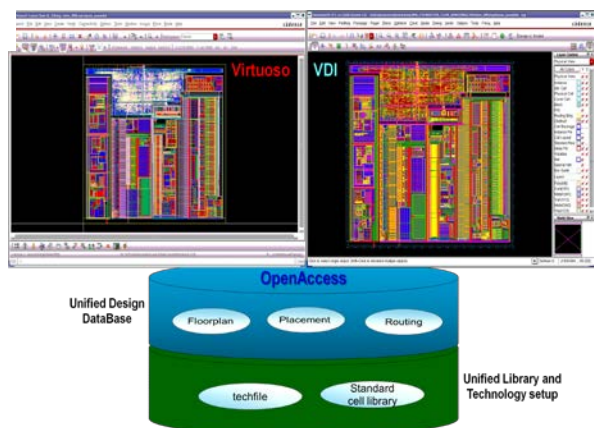


# VIRTUOSO DIGITAL IMPLEMENTATION



Virtuoso Digital Implementation (以下、VDI)は論理合成、配置配線機能を完備したシステムです。VDIを使用することにより、ミックスドシグナルデザインのアナログドリブン手法に照らし合わせた小規模デジタルブロックのインプリメンテーションが可能になります。VDIは自動的にフィジカル合成を実行し、配置配線を最適化しますので、ミックスドシグナルデザインプロセスをより速く行い、高品質なシリコンを作ることができます。

## VIRTUOSO DIGITAL IMPLEMENTATION (VDI)

VDIは、Cadence Virtuoso Layout Suiteを補完するよう設計されていますので、RTLからGDSIIまで完全なデジタルインプリメンテーションソリューションを実行可能です。ただし、規模制限があります\*

VDIは小規模デジタルブロックを含むミックスドシグナルデザインをターゲットにしています。そのため、Cadence Encounter RTL Compiler L\*\*による論理合成とCadence Encounter Digital Implementation System L\*\*\*機能も実行可能です。Encounter RTL Compilerの高性能な合成ソリューションにより、サイズ、パフォーマンス、消費電力の点で優れたチップを効率よく開発できます。さらにEncounter Digital Implementation Systemは、デジタルブロックインプリメンテーションに高速なエンジンを使用します。このテクノロジーのどちらも業界トップのEncounterデジタルICデザインプラットフォームを基盤としていますので、確実に高品質シリコンを生産することができます。(図1)

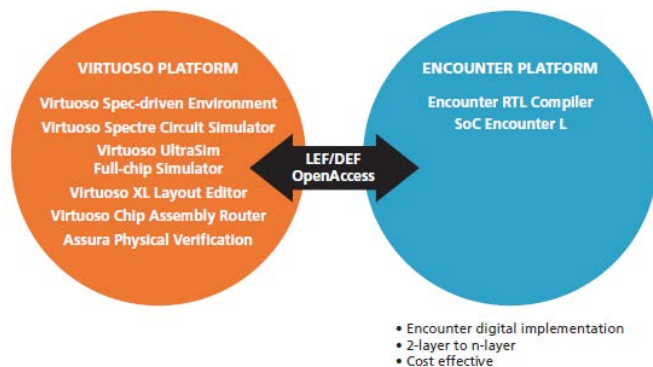


図1 : Virtuoso Digital Implementation

(\*VDIはRTLからGDSIIソリューションを実行できますが、規模制限があります。Encounter RTL Compiler synthesisの制限は、最終的にマッピングされたインスタンス数50kです。(もしくはジェネリックインスタンス数200kです。) VDIの容量制限はインスタンス数50kです。VDIライセンスを2つ組み合わせることにより、制限容量を2倍にすることができます。容量制限をなくしたい場合は、他の製品パッケージが用意されています。

(\*\*) Encounter RTL Compiler Lの機能に関しては、Encounter RTL Compilerのデータシートをご参照ください。

(\*\*\*) Encounter Digital Implementation System Lの機能に関しては、Encounter Digital Implementation Systemのデータシートをご参照ください

## 利 点

- 合成と物理的なインプリメンテーションも含め、小規模デジタルブロックの自動インプリメンテーションを実行可能
- Encounter Digital Implementation L 製品と同様の機能を統合
- デジタルロジックの速度、サイズ、消費電力の点で高品質シリコンを実現
- Virtuoso プラットフォームとの組み合わせにより、ミックスドシグナルデザインの物理的インプリメンテーションソリューションを可能に(\*)。
- デザインクロージャのターンアラウンドタイムを短縮
- Encounter Digital Implementation System のシリコンバーチャルプロトタイプを実行可能
- 内蔵のフィジカルオプティマイザによる高速なタイミングクロージャ
- サインオフ品質の遅延計算を用いたタイミングエンジンによるタイミングドリブンインプリメンテーションのサポート
- パワープランニング、パワー配線、パワー解析環境を統合
- 使いやすいクロックツリー合成による複数クロックとクロックの Re-Convergent 処理
- クロックゲイティング機能の装備による省電力設計
- SDC によるタイミングを考慮したデザインのサポート
- 多角形ブロックのサポート
- 標準インターフェイスと OpenAccess(\*\*)経由の LEF/DEF データ変換

(\*)Virtuosi Layout Suite XL もしくは Virtuoso Layout Suite GXL 製品が必要です。

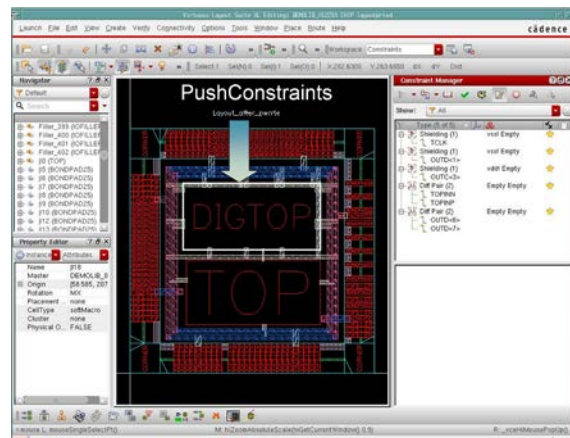
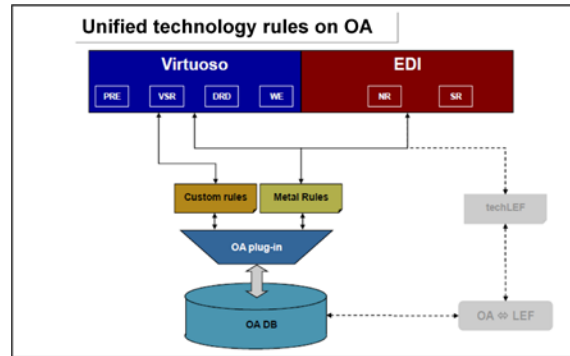
(\*\*) P-Cell、ROD、multi-part path、および fig group を含むカスタムオブジェクトのロード/表示/データ処理は、別ライセンスの Encounter Mixed Signal GXL Option を用いることにより使用可能になります。詳細は Encounter Digital Implementation System のデータシートをご参照ください。

## 特 長

### テクノロジーや設計制約の共有

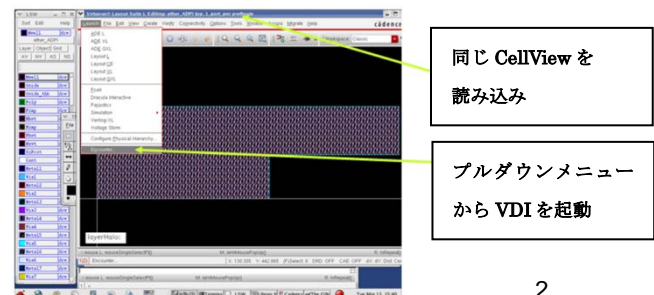
従来、アナログ設計とデジタル設計の間には大きな壁が存在しており、Mixed Signal設計においてはデータの変換や、GUIの異なる複数のツール、設計制約やデザイン・インテントの相互変換が必要でした。ケイデンスでは、アナログ設計:Virtuosoと、デジタル設計:VDI間のやりとりをOAデータベースを経由することにより、それらの問題を解決する環境を提供します。

高次元で統一されたテクノロジー・セットアップを用い、VirtuosoとEDISでの設計制約も相互に認識します。



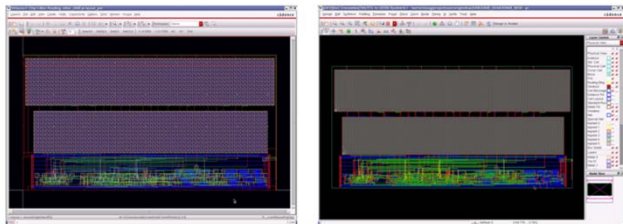
### VirtuosoからVDIを直接起動

OAを経由した、共通のデータベースにアクセスし、Virtuoso Layout Suiteから直接VDIを起動



## どちらの設計者にも使いやすい環境

Virtuosoユーザ、EDISユーザ双方の使い勝手を考慮し、共通のGUIやバインドキー環境を提供

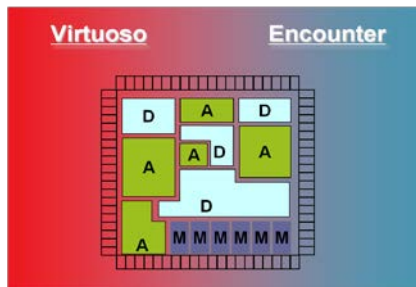


Virtuoso

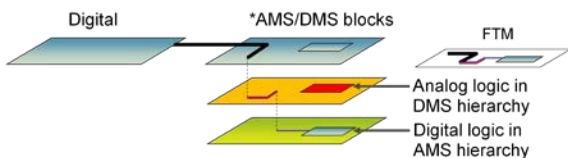
VDI

## Mixed Signal on on Top

ケイデンスが提供するMixed Signal設計環境においては、アナログ:Virtuoso、デジタル:VDIの何れでも、トップとして扱うことが可能です。また、環境切り替えが容易ですので、設計者は双方のツールの特徴的な機能を使ってフロアプランを実施できますので、作業効率が向上し、デザインTATの削減を実現します。



また、従来は完全に分離するか、タイミングライブラリの作成が必須だったアナログ&デジタル・ミックスドブロックのSTAに関し、Full Timing Model(FTM)を用いて自動的にモデル化\*し、一括して高精度なSTAを実施することも可能です。これにより、アナログ・デジタルブロック間のモデル調整等のイタレーションを削減します。

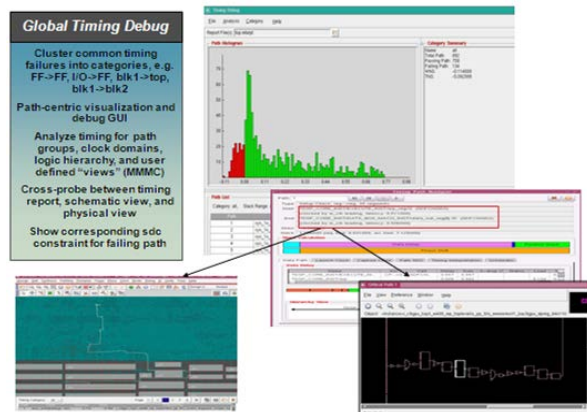


(\*）Encounter Mixed Signal GXL Optionが必要です。詳細はEncounter Digital Implementation Systemのデータシートをご参照ください。

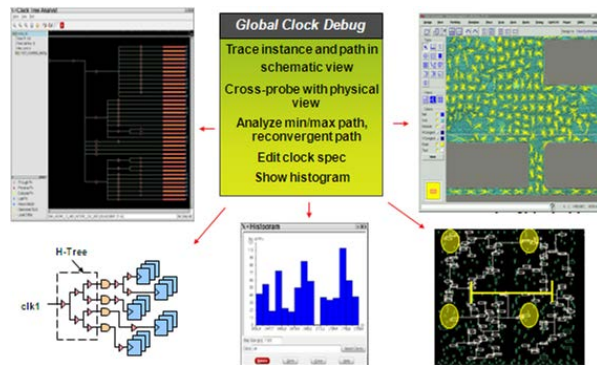
## GUIによる、タイミング、クロック、パワー解析

アナログ設計者にとって難解な、タイミングやクロック等の解析が、強力なGUIデバッグ環境によって容易に実行可能です。

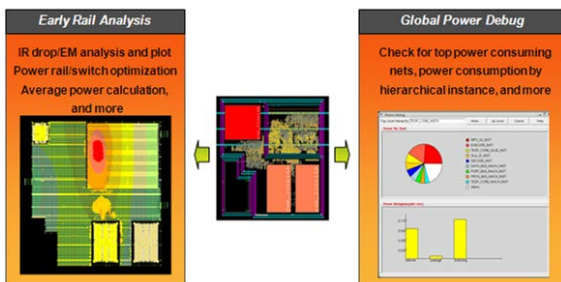
- Global Timing Debug は、タイミング解析を支援する強力なデバッグ環境で、Encounter Timing System にも搭載されています。スラック分布のヒストグラム表示や、タイミング違反パスの詳細解析、及びレイアウトとのクロスプローブや、違反の要因となりうる項目の一覧表示が可能で、設計者によるタイミング解析を容易にします。



- Global Clock Debugは、クロックツリー解析環境を提供します。クロックのみを可視化する機能を持ち、クロック回路図とレイアウトのクロスプローブ表示や、クロック制約の確認、及びインタラクティブな設定が可能です。これらの機能を用い、設計者はクロックスキューのボトルネック等を容易に解析できます。

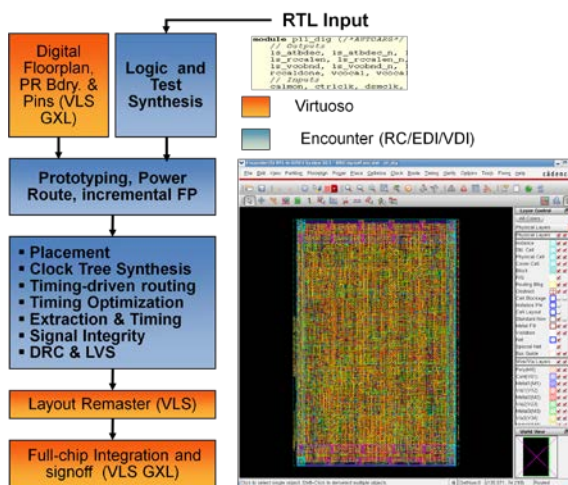


- ERA (Early Rain Analysis)、及び Global Power Debug は、Encounter Power System と同じエンジンを使用し、IR-Drop/EM を含むパワー解析環境を提供します。設計初期段階において ERA (Early Rain Analysis) を用いた電源解析が可能です。さらに統合された環境下において、パワー解析や、Encounter Timing System との組み合わせることにより、IR-Drop や SI を考慮したタイミング解析も可能にします。



### ファウンデーション・フローによるプッシュボタン形式のデザインが可能

“make”により統合された、Cadenceが推奨するコマンドシーケンスとオプション設定を含むScript群を使用可能です。専用のGUIによるオプションやフローの調整、及び全体に渡って使用可能なTCL言語によるカスタマイズも可能です。



### さまざまな機能

#### RTL 合成

- 標準入力/出力の読み込み/書き込み
- 内蔵の高性能データベース
- 演算最適化
- TNS(マイナススラック値の合計)最適化
- テスタビリティ解析と走査挿入
- クロックゲイティング
- Multi-Vt リークージパワー最適化

#### シリコン・バーチャル・プロトタイピング

- Encounter Digital Implementation System に基づくテクノロジー
- ゲートレベルの配置
- 高速で詳細な概略配線機能を搭載(従来の詳細な配線よりも 10 倍以上高速)
- 最終インプリメンテーションとの相関が増大
- 2.5D 寄生抽出を用いた高速解析(従来の抽出より 10 倍高速)
- 業界標準のタイミングライブラリと制限フォーマットを用いた遅延解析とタイミング解析
- タイミングクロージャに物理最適化テクノロジーを使用
- セルのリサイズ、バッファ挿入、および負荷分割に in-place optimization(IPO)を使用
- リークージパワー最適化
- 最新ロジック・リストラクトオプション

#### NanoRoute による高速な信号配線

- 業界が認めた配線ツール
- ECO ラウティングをサポート
- カスタム編集用のワイヤーエディター環境

#### クロックツリー合成

- 超高速クロックツリー合成によりクロックスキューと insertion delay を最小化
- gated clock と multiple-clock domain のサポート
- 配線後のクロックツリー最適化
- スキュー解析とスキュー最適化

### 先進の電源プランニング機能

- スタティック消費電力解析とダイナミック消費電力解析を用いたパワープランニング
- 内蔵の消費電力解析と IR ドロップ解析(\*)
- 内蔵マクロブロックによるパワーメッシュ配線のサポート
- パワーグリッドデザインにより IR ドロップ数が対 SPICE 比 10%以内に

(\*)サインオフパワーグリッド検証とのインターフェイスには、別ライセンスの Cadence Encounter Power System が必要です。

### 先進の最適化機能

- 全ての工程において、タイミング最適化や、リークパワー、ダイナミックパワーの削減が可能

### EASE-OF-USE

- 使い勝手のよいシグナルワイヤー、パワーワイヤー編集機能を内蔵
- フロー全体にわたって使用可能な tcl プログラミングインターフェイス
- わかりやすいコマンド
- 使いやすい use model
- すぐに覚えられるシステムなので、一週間で立ち上げ可能
- 全てのステップにおける役立つレポート

### 標準入力とインターフェース

#### 入力

- HDL(合成): Verilog, VHDL, SystemVerilog(directive, pragma)
- 論理ライブラリとタイミングライブラリ:ライブラリフォーマット(.alf), TLF, もしくは.lib
- 物理ライブラリ:Library Exchange Format(LEF)
- mixed-language/mixed-level ネットリスト: Verilog のゲートレベルネットリスト、ゲートレベル EDIF ネットリスト
- タイミング制限: SDC
- フロアプラン情報:PDEF
- 詳細フロアプラン情報:DEF
- 遅延情報:SDF
- インターコネクタ寄生:DSPF/RSPF, SPEF

#### 出力

- 最適化されたゲートレベルのネットリスト(合成)
- ネットリスト:DEF, Verilog
- インターコネクタ寄生:DSPF, SPICE, SPEF
- 遅延情報:SDF
- フロアプランと配置:DEF, PDEF
- GDSII

## サポートプラットフォーム

- lnx86: Linux(x86 , x86\_64) 32/64Bit
- sol86: Solaris(x86\_64) 64Bit
- sun4v: Solaris(ultraSparc)64Bit
- ibmrs:AIX(power) 64Bit

## ケイデンスのサービスとサポート

- ケイデンスのアプリケーションエンジニアが技術的なご質問に、電話、e-mail、インターネットで回答します。技術的な支援やカスタムトレーニングも可能です。
- オンラインカスタマーサポート SourceLink で技術的なご質問に回答します。製品リリース情報、技術的ドキュメント、ソフトウェア更新、その他の情報もこちらで提供します。
- ケイデンス認証の講師が 80 以上のコースを開催、トレーニンググループで実設計の経験から得た知識をお話します。
- 25 以上の Internet Learning Series(英語)オンラインコースにより、インターネットを通じて、ご自身のマシンでお好きな時間にトレーニングを受講可能です。

**cadence®**

### 日本ケイデンス・デザイン・システムズ社

本社 / 〒222-0033 神奈川県横浜市港北区新横浜 2-100-45  
営業本部  
TEL.(045)475-8410 FAX.(045)475-8415 URL <http://www.cadence.co.jp/>  
〒541-0054 大阪府大阪市中央区南本町 2-6-12 サンマリオン NBF タワー16F  
TEL.(06)6121-8095 FAX.(06)6121-7510

\* © 2010 Cadence Design Systems, Inc. All rights reserved worldwide.  
CadenceおよびCadenceロゴは、Cadence Design Systems, Inc.の登録商標です。  
その他記載されている製品名および会社名は、各社の商標または登録商標です。  
\* 掲載の内容は、2011年10月現在のものです。

[www.cadence.co.jp](http://www.cadence.co.jp)



### 販売代理店 **イノテック株式会社** ICソリューション本部

〒222-8580 神奈川県横浜市港北区新横浜 3-17-6  
TEL.(045)474-2290,2291,2293(営) FAX.(045)474-2395  
URL <http://www.innotech.co.jp/>  
〒541-0054 大阪府大阪市中央区南本町 2-6-12 サンマリオン NBF タワー16F  
TEL. (06)6121-7703(営) FAX. (06)6121-7720