

# CADENCE QRC EXTRACTION

Cadence® QRC Extractionは今日の複雑なLSIチップデザインをより速く、正確に実現し、検証を行うための3Dフルチップ寄生成成分抽出ツールです。

Encounter®やVirtuoso® platformとのシームレスな統合により、タイミングクロージャを短期間に完了でき、高い品質を実現するための解析を迅速に行うことができます。

## CADENCE QRC EXTRACTION

先端デバイスにおけるカスタムブロック開発においてはCadence QRC Extractionは90nm以下のデザインの実現と検証の統合的な抽出ツールです。すべての領域のナノメートルスケールデザイン、つまりRF、アナログ、ミックスドシグナル、カスタムデジタルやセルに対応します。これら先進的な機能にはRLCK抽出、高度なプロセスモデリング、マルチコーナーおよび統計的抽出、分散処理、ネットリスト縮退、基板寄生成成分抽出、統合されたfield solver、および階層抽出があります。(図1参照)

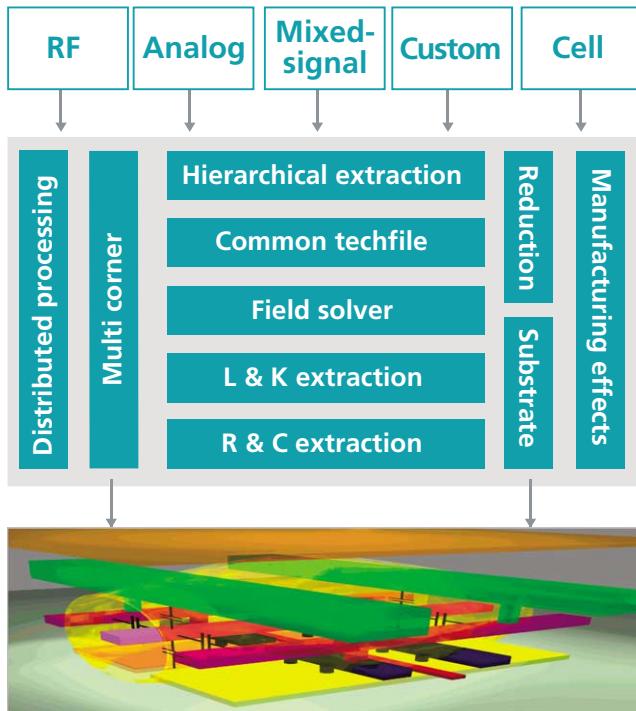


図1 Key Components of Cadence QRC Extraction

## CADENCE QRC EXTRACTION PRODUCT FAMILY

Cadence QRC Extraction製品ファミリーはEncounterとVirtuoso platformの両方に対応しており、正確な寄生成成分抽出が可能です。高い精度の寄生成成分抽出により、トータルのデザインサイクルタイムを短縮させ、複雑なSoCデザインチップの品質を顕著に高めることができます。Cadence QRC Extractionは、EncounterとVirtuoso platformに対応し、L、XL、およびGXLの各パッケージとして提供します。それぞれセルレベルおよびトランジスタレベル抽出の両方が可能です。

## BENEFITS

基板寄生成成分を含んだ高精度なフルチップ抽出が再設計(respin)のリスクを減少させます。

すべてのデバイス(ASIC, RF, custom digital, and high-speed analog/mixed-signal designs)設計において高精度で統一されたセットアップで使用できるため、ROIを増加させることができます。

EncounterとVirtuoso platformと統合することによって、デザインサイクルを短縮できます。

Virtuoso UltraSim Full-chip Simulator, VoltageStorm® power analysis, CeltIC® NDC Nanometer Delay Calculationなどの解析技術との統合によって、タイミングの収束を促進させることができます。

リソ、CMPプロセス等の影響、プロセスばらつき、複雑な積層配線等の先端プロセスについて対応することができます。

すでに先端のファウンドリメーカー、IDMのウェハプロセスモデルにて検証されています。

## FEATURES

### CELL-LEVEL EXTRACTION

Cadence QRC Extractionの先端的なセルベース3D技術は、短時間でフルチップデザインの抽出を可能にし、大規模なナノメータデザインのサイノフのための充分な性能と精度を持っています。

正確なカップリング容量抽出は、90nm以下のデザインにおけるクロストーク解析およびパワー解析のために不可欠なものです。Encounter platformとの統合により、Cadence QRC Extractionはタイミング、シグナルインテグリティ解析、およびパワー検証に対してシームレスなソリューションを提供します。また、Encounter platform(図2参照)との統合により、設計者はインクリメンタルな抽出をすることによって設計TATを劇的に減少させることができると共に、タイミングとノイズ最適化のために正確な抽出データを用いることで、タイミングクロージャを短時間で行うことができます。

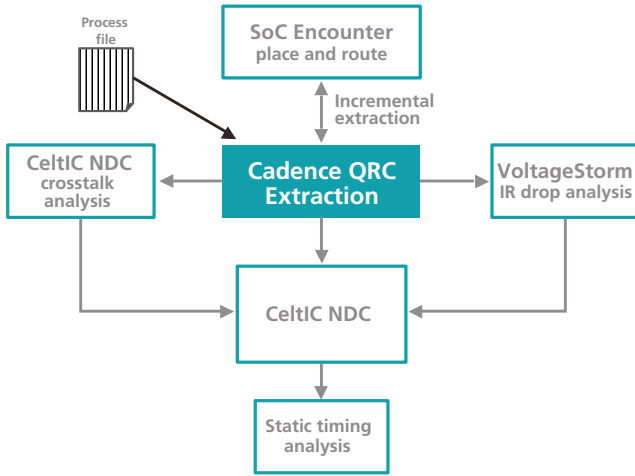


図2

Encounter向けのケイデンスQRC Extraction製品ファミリーのL、XL、GXLから、適切なものを選択いただけます。(表1 参照)

Cadence QRC Extraction features for the Encounter platform	L	XL	GXL
Cell-level and transistor-level extraction	x	x	x
Capacity limited 50K transistor 300K instances	x	x	x
Multi-corner extraction in single run with significant runtime advantages	x	x	x
Common technology file for consistent results across cell and gate level	x	x	x
Accurate extraction for processes up to 80nm	x	x	x
Unlimited extraction capacity		x	x
Incremental extraction to reduce turnaround time		x	x
Distributed processing support over multiple CPUs		x	x
Hierarchical extraction for full-chip capacity		x	x
Advanced process support (resistance degrading) for 65nm and below			x
Variation-aware extraction support for random process variation			x
CMP-based extraction for increased accuracy			x

表1

### TRANSISTOR-LEVEL EXTRACTION

Virtuoso platformの中のデバイス分析機能の重要な機能である、ケイデンスQRC Extractionはチップ性能と歩留まりを最適化するための重要な寄生成分情報を提供します。ケイデンスQRC Extractionは特許取得済みのアルゴリズムと独自の抽出技術を基に配線の寄生成分を抽出し、Virtuoso platformでのレイアウトの設計、キャラクタライズ、最適化のためにそれらの情報を提供します。シームレスなVirtuoso platformへの統合は、寄生成分抽出、backannotation、cross-probing、再シミュレーションや解析を一つの設計環境内で行うことを可能とし、設計生産性を向上させることができます。

Cadence QRC Extractionはすべてのプロセスノードにおけるデバイス(RF、アナログ、ミックスシグナル、カスタムIC、メモリ)についてトランジスタレベルで正確な電気抵抗(R)と容量(C)の寄生成分抽出を行います。また、粗密なレイアウトにおける回路シミュレーション、解析のための高精度な寄生成分情報も提供します。Cadence QRC ExtractionはケイデンスのLVS検証技術(Assura® LVS、ケイデンス Physical Verification System)と関係し、また、ケイデンスシミュレーション技術(Virtuoso Spectre® Circuit Simulator、Virtuoso Spectre RF Simulation Option、and Virtuoso UltraSim Full-chip Simulator)等と同様にMentor Graphics社のCalibreともインターフェースします。(図3参照)

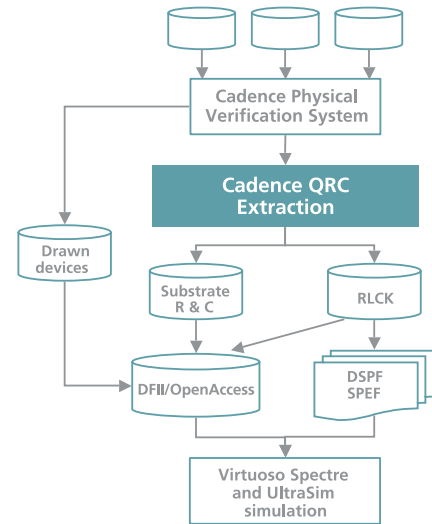


図3

Virtuoso platform向けのケイデンスQRC Extraction製品ファミリーのL、XL、GXLから、適切なものを選択いただけます。(表2参照)

Cadence QRC Extraction features for the Virtuoso platform	L	XL	GXL
Cell-level and transistor-level extraction	x	x	x
Capacity limited 50K transistor 300K instances	x	x	x
Multi-corner extraction in single run with significant runtime advantages	x	x	x
Common technology file for consistent results across cell and gate level	x	x	x
Accurate extraction for processes up to 80nm	x	x	x
Unlimited extraction capacity		x	x
Hierarchical extraction for full-chip capacity		x	x
Distributed processing support over multiple CPUs		x	x
Integrated field solver support for enhanced accuracy		x	x
Integrated substrate extraction modeling capabilities		x	x
Advanced inductance extraction support (L & K extraction)		x	x
Integrated substrate extraction modeling capabilities		x	x
Substrate noise contour for sensitivity analysis			x
Advanced process support (resistance degrading) for 65nm and below			x
Variation-aware extraction support for random process variation			x
CMP-based extraction for increased accuracy			x

表2

## MULTI-CORNER EXTRACTION

130nm以下の技術におけるデザインでは、nominalなコーナー抽出といくらも補足されたマージンでは正確に寄生の影響を予測することはできません。例えば、signal integrityの問題は高温の状態が発生しますが、設計者はマルチコーナーでの抽出を行わなければならない、コーナーの数は、設計ノードが小さくなるにつれ、多くなってきます。ケイデンスQRC Extractionは同時にマルチコーナー抽出を実行し、全体的なランタイムを短縮できます。

## DISTRIBUTED PROCESSING

ケイデンスQRC Extractionは分散処理により効率的に数百万ゲートサイズのチップの抽出を実行することができます。それは抽出タスクを複数の独立したタスクに分け、複数のCPU、ないしはマシンに振り分けます。分散処理により抽出ランタイムを短縮することができ、特にサインオフでは有効です。

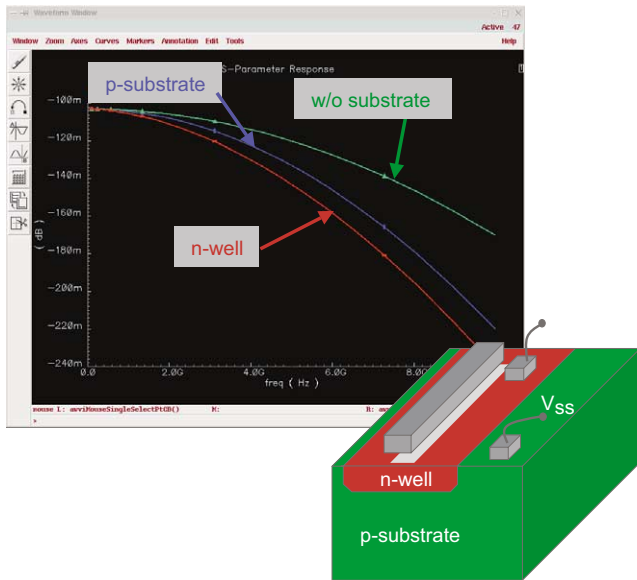


図4

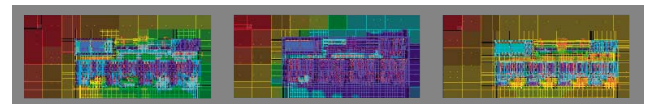
## ADVANCED SUBSTRATE MODELING CAPABILITY

RF設計者は高精度な寄生インダクタンス抽出を必要としており、また各デザインに対する基板の寄生成分の影響がどの程度のものであるか評価をしなければなりません。基板ノイズカップリングは、周波数が高くなればなるほど、また、集積度が上がるほど、設計ノードが進むほど、電源電圧が下がるほど問題になってきます。図4は基板モデルの一例としてp-subとn-wellの影響を含んだ抽出結果の事例を示します。

Cadence QRC Extractionは基板の抵抗と容量を考慮し、RFデバイスの精度の高いシミュレーションと分析を行うことができます。設計者は基板ノイズのwhat-if analysisが実行できます。(図5参照)

## ADVANCED CMP MODELING SUPPORT

Cadence QRC Extractionは、CMPモデルをサポートしています。(図6参照)。配線層のシステムティックな厚さばらつきをフルチップで精度良く予測します。ケイデンスQRC Extraction GXLは、厚さばらつきの予測結果を用い、より精度の高い寄生容量、抵抗の推定を行い、より正確なタイミング解析、およびシミュレーション結果を得ることができます。製造部門は、より高い歩留まりを得るために製造プロセス条件を最適化していますが、sub-65nmを対象とするデバイス設計者は正確にCMP効果を予測することによって、より正確なタイミング解析とシミュレーションをすることができます。



Lightly doped substrate without guard ring    Lightly doped substrate with guard ring connected to ideal power supply    Heavily doped substrate without guard ring

図5

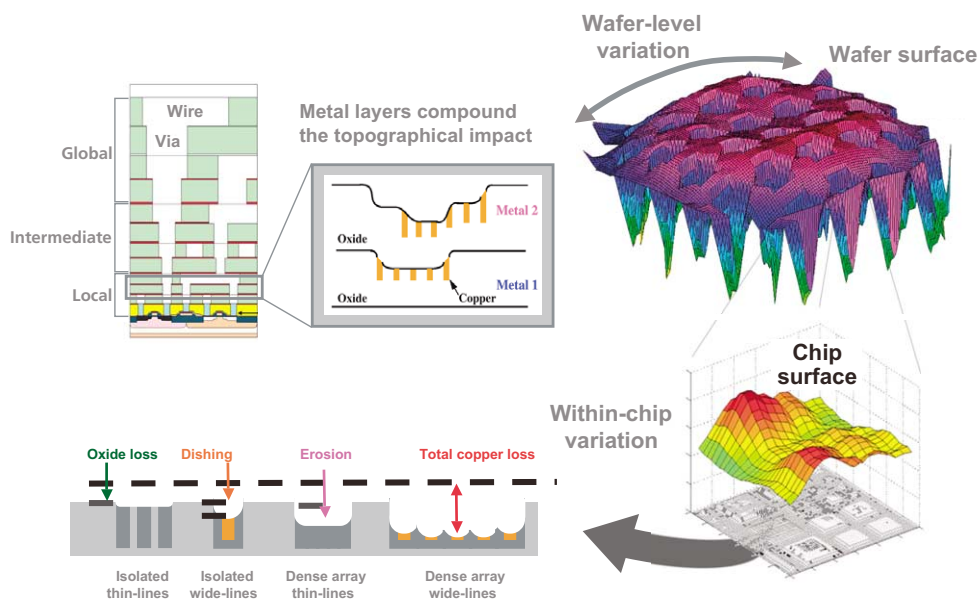


図6

## SPECIFICATIONS

### EXTRACTION MODES

- Black-box, gray-box, or white-box extraction modes
- Lumped R only, C only, or RC for all nets
- Coupled C for all nets
- Self (L) and mutual (K) inductance extraction
- Fully-distributed RC and RLCK for all nets
- RLCK for selected nets and C for the rest, or vice versa
- Hierarchical transistor-level RC extraction
- Ability to exclude nets, such as power and ground nets
- Critical net and critical path extraction

### MANUFACTURING EFFECTS AND ADVANCED PHYSICAL MODELING CAPABILITIES

- 130nm and below copper, via, and wire edge enlargement and optical effects
- Conformal, planar, multiple, and low-k dielectrics
- Non-planar processes
- Air gaps
- Trapezoidal conductors
- Contact capacitance
- Metal fill
- Local interconnect
- Si, SiGe, and SOI technologies
- Copper technology support (lithography effects, dishing and erosion support)

### FOUNDRY SUPPORT

Cadence QRC Extraction process files

- Are certified and supported by leading foundries
- Are flow-tested and qualified with foundry PDKs
- Have development services available

### FORMAT SUPPORT

- Design input formats: GDSII, LEF/DEF, DFII, and OA
- Design output formats: DSPF, xDSPF, SPICE, and SPEF

### PLATFORMS

- Sun Solaris (32-bit, 64-bit)
- HP-UX (32-bit)
- Linux (32-bit, 64-bit)
- IBM AIX (32-bit)

**cadence**<sup>™</sup>

日本ケイデンス・デザイン・システムズ社

本社 / 〒222-0033 神奈川県横浜市港北区新横浜 2-100-45

営業本部

TEL.(045)475-8410 FAX.(045)475-8415 URL <http://www.cadence.co.jp/>

関西営業所 / 〒541-0054 大阪市中央区南本町2-6-12 サンマリオンNBFタワー

TEL.(06)6121-8095 FAX.(06)6121-7510



販売代理店

イノテック株式会社

ICソリューション本部

〒222-8580 神奈川県横浜市港北区新横浜 3-17-6

TEL.(045)474-2290,2291,2293(営) FAX.(045)474-2395

URL <http://www.innotech.co.jp/>

大阪支社 / 〒541-0054 大阪市中央区南本町2-6-12 サンマリオンNBFタワー16階

TEL.(06)6121-7703 FAX.(06)6121-7720

※記載の各製品等は各社の登録商標です。  
※掲載の内容は、2008年5月現在のものです。

GREY-2008-5D-V1