

CADENCE PHYSICAL VERIFICATION SYSTEM

Cadence® Physical Verification System (以下、PVS)は従来の検証ツールに比べ、設計のサインオフ時間を飛躍的に短縮することができます。大規模な90ナノメートルあるいは65ナノメートル設計においても1日に複数の検証処理が可能となり、処理能力は使用されるコンピュータリソースによりニアに増強させることができます。PVSを使用することにより、設計者は事前予測性を改善し、サイクルタイムの短縮、歩留まりの向上を図ることができます。

製造プロセスが90nmおよびそれ以下になってくると、従来の物理検証ツールでは1日以内で処理することが困難になってきています。

ケイデンスのPhysical Verification Systemは新しいデータ処理方式によりこの問題を解決します。

PVSは独自のCompilerにより、使用可能なコンピュータリソースを最大限有効に活用できるようそれぞれのデザインおよびルール・デバッグにより最適な区分けを行います。CPUを追加することにより並列処理能力はリニアに増大させることができます。コスト効率の高い並列処理を特長としています。

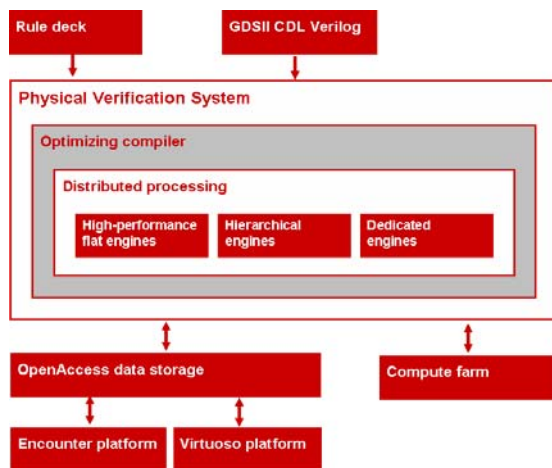


図1: The Cadence Physical Verification System integrates with industry-standard design flows and formats

BENEFITS

- 物理検証処理時間の短縮
 - 1日で複数デザインの処理が可能になります。
 - 90nm, 65nm, 45nmおよびそれ以下のデザインにおいて100CPU以上の分散でも処理能力を増大できます。

- 優れた精度を同等のパフォーマンスで達成
 - plug-and-playが可能な専用エンジンにより、処理時間と検証結果の正確性を向上できます。
- 標準的なCadence flowsへ統合するにより、以下が可能
 - 検証作業実行中に検査結果を順次同時表示します。
 - Virtuoso platform/OpenAccess を使用することにより、デバッグのサイクルタイムを減少させます。
- サポートコストの低減
 - 異種雑多なあるいは同種のコンピュータ環境を有効活用できます。
 - 業界標準のフォーマットとのコンパチビリティにより、容易にPVSに移行することができます。

FEATURES

大規模並列分散処理

近年、配線層におけるデータ量や隣接するセルの急激な増大により、物理検証において、階層構造を保持したままプロセスすることが困難になってきました。

その結果、先端デザインのデータは“フラット”なデータとして扱われる必要が出てきました。

従来のルールベース multi-threaded処理方法では処理時間の短縮化は達成できません。また、この従来手法では6-8 CPUs以上のCPUを使用しても十分にそれぞれのCPU処理能力を使いこなすことができません。

PVSは、新しいmulti-strategy partitioning方式を採用することにより従来のツールでは障害となっていたスループットの限界を解決することができます。

100CPU分散を超える大規模分散処理においても処理能力をscalableに向上させることができます。PVSはその結果90nm, 65nm, 45nm, それ以下の先端デバイスデザインに要求されるスループットを達成することができます。

OPTIMIZING COMPILER (特許出願中)

OPTIMIZING COMPILER (特許出願中)はそれぞれのデザインとrule deckの組み合わせを評価検証し、コンピュータリソースを最大限有効に使いきる最良のpartitioning strategies (分散処理手法)を自動的に選択します。PVSは有効的に多数のCPUにおける負荷を平準化し、また、その処理能力は使用するCPU数にのみ依存します。

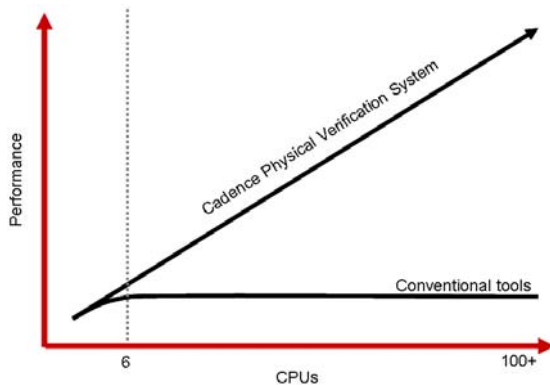


図 2: Performance scales linearly as CPUs are allocated

専用PROCESSING ENGINES

ケイデンスのPVSは専用プロセス・エンジンを使用することにより、正確かつ有効に複雑な検証を行うことができます。これは以下に示す3つの利点があります。

- scalableな分散処理を一層効果的に使用できます。
- 複雑なrule deckを単純化でき、数百行におよぶrule deckを1コマンドに置き換えることでメンテナンス性も向上できます。
- 専用に設計された各エンジンを使用することで検証結果の精度向上ができます。

同時ERROR REPORTING

同時ERROR REPORTINGはコンピュータリソースと設計者の時間の有効活用をする上で効果をもたらします。エラーデータは、検証実行中にOpenAccessを通し、Virtuoso-baseのデバッグ環境に表示されます。設計者は物理検証実行中にすぐさまデザインのデバッグを開始することができます。多大なる繰り返しエラーを引き起こす問題を即座に確認でき、必要に応じて検証を止め、無駄な作業を防ぐことができます。

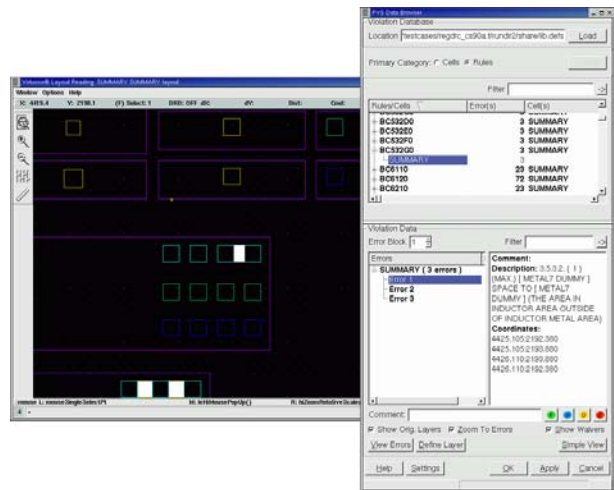


図 3: Delivers design error information during runtime in a Virtuoso-based debug environment

SPECIFICATIONS

SYSTEM REQUIREMENTS (Specific requirements are design dependent)

- 1GB (min) DRAM
- 2GB (min) swap space
- 2GB (min) temporary, local disk space
- 1GB NFS-mounted software disk space
- 1GB NFS-mounted design disk space per 1M-gates

PLATFORM/OS

- Sun Solaris 8 or 9 (32bit, 64bit)
- Opteron Linux RHEL 3.0 (64bit)
- Red Hat Linux RHEL 2.1 (32bit)

INTERFACES

- OpenAccess 2.2
- LSF for compute farm access

cadence™

日本ケイデンス・デザイン・システムズ社

本社 / 〒222-0033 神奈川県横浜市港北区新横浜 2-100-45
営業本部
TEL.(045)475-8410 FAX.(045)475-8415 URL <http://www.cadence.co.jp/>
〒541-0054 大阪府大阪市中央区南本町 2-6-12 サンマリオン NBF タワー16F
TEL.(06)6121-8095 FAX.(06)6121-7510



販売代理店 **イノテック株式会社** ICソリューション本部

〒222-8580 神奈川県横浜市港北区新横浜 3-17-6
TEL.(045)474-2290,2291,2293(営) FAX.(045)474-2395
URL <http://www.innotech.co.jp/>
〒541-0054 大阪府大阪市中央区南本町 2-6-12 サンマリオン NBF タワー16F
TEL. (06)6121-7703(営) FAX. (06)6121-7720

* 記載の各製品等は登録商標です。
* 掲載の内容は、2008年5月現在のものです。