

VIRTUOSO RESOLUTION ENHANCEMENT TECHNIQUE (RET) SUITE

ケイデンス Virtuoso® Resolution Enhancement Technique (RET) SuiteはVirtuosoカスタムIC設計環境でリソグラフィを考慮した設計を効果的に行う総合的なツールです。設計環境内にリソグラフィ専門知識を組み込み、設計者は製造技術のエキスパートになることなく、製造容易性の高い設計を行うことが可能となります。

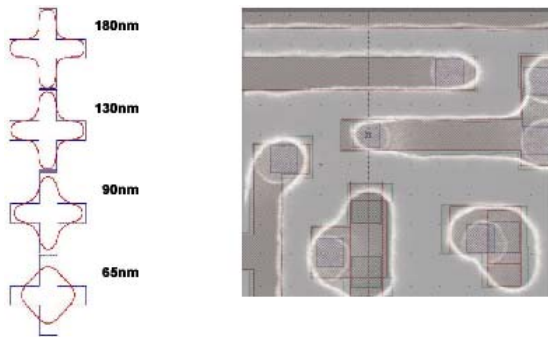


図 1: Below 130nm, what you draw is not what you get, and the further below 130nm you go, the worse the problem becomes

130nm 以降のデバイスでは以前のようにレイアウト設計通りのパターンがウェーハ上でも実現するということが不可能になってきました。(図 1)

Virtuoso RET Suite は Virtuoso カスタム IC 設計環境にリソグラフィ工程の製造能力を導入することができます。Process Model File (PMF)(図 2)と呼ばれるファイルを経由してウェーハ製造プロセスにおける詳細条件を Virtuoso RET Suite に取り込むことができます。

設計者は、設計レイアウトが特定のウェーハ・ファブプロセスでのウェーハ上にどのように形成されるかを確認することができます。また、リソルール・チェック (litho DRC) 処理を行い、修正の必要な欠陥の検出を行い、更に幅広いRETツール群により修正を行うことができます。

Virtuoso RET Suiteは設計者が設計環境内で確実に全てのリソグラフィ関連情報を安全且つシームレスに使用することを可能にするツール群です。これらのツール群には silicon imagers、LRC (litho rule checking) verifiers、各種のインタラクティブな RET手法が含まれています。

process model fileは設計とリソグラフィ工程間を安全に連結する手段として使用され、必要なリソグラフィ関連情報を設計環境で使用されるVirtuoso RET Suiteに提供します。



図2: Process model file (PMF) as central, seamless and secure background communication modality to pre- and post-tapeout RET verification with real-world process model information.

BENEFITS

- 設計プロセスにおいてリソグラフィ・クリーンな設計をすることにより、リソグラフィ起因のレスピン(再作業)を低減することができます。
- PMFを介して、ウェーハ・ファブのリソグラフィ製造能力をシームレス且つ安全に設計部門へ伝達することができます。このことにより、ウェーハ・ファブのリソグラフィ製造能力に適した設計がなされ、ICのパフォーマンスと歩留まりを向上させることができます。設計者がリソグラフィの専門知識を意識する必要はありません。
- 設計ステップで大まかなRET処理やLRC/MRCをあらかじめ行うこと(litho-awareデザイン・プロセス)により、後のOPCバッチ処理やDRC工程の処理速度、効果を向上することができます。
- litho-awareデザイン・プロセスにより、市場投入期間を短縮し、予測を立てることが容易になります。

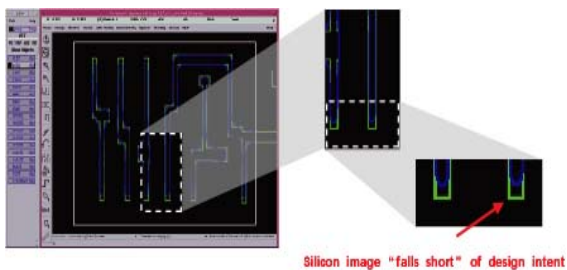


図3: Virtuoso RET Imager provides an image of the silicon from the design layout based on PMF or default process conditions

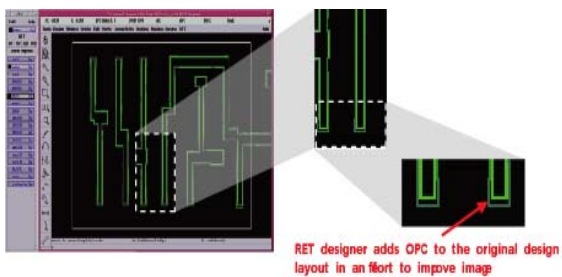


図4: Virtuoso Designer supports interactive insertion of various RET approaches during design layout

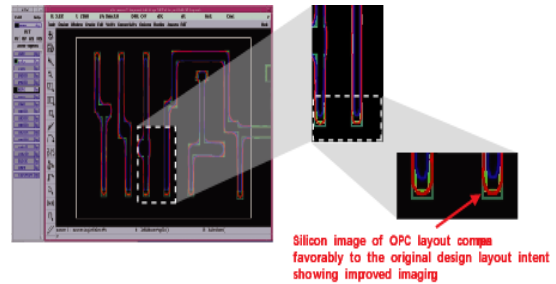


図5: Virtuoso Imager provides an image of the silicon from the design layout based on PMF or default conditions

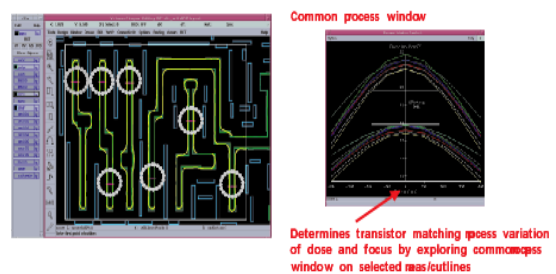
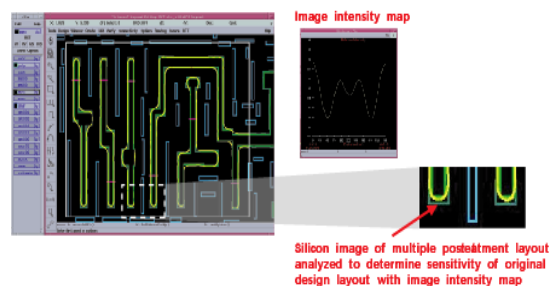


図6a、6b: Virtuoso RET Analyzer compares and tunes images of different RET approaches to analyze sensitivity to litho process variations

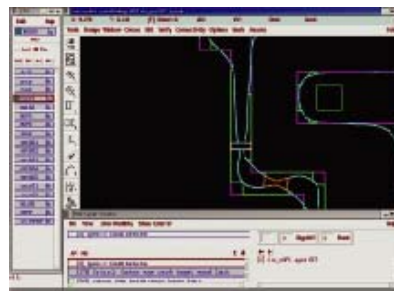


図7: Virtuoso RET verifier is a DRC-like "find and fix" litho rule checker

FEATURES

- Process model file (PMF): リソグラフィ・プロセス開発部門から設計、バッチ RET 処理、LRC/DRC 工程へ安全に情報を伝達します。
- Virtuoso RET Imager (図 3): 設計レイアウトがウェーハ・プロセスにおいてどのようなイメージになるか確認することができます。
- Virtuoso RET Designer (図 4、5): 設計者がウェーハ上のパターン・イメージを改善するためにレイアウトエディタ上で RET パターンを付加することができます。また、RET Verifier によってリソグラフィ・エラーの検出を行うことができます。
- Virtuoso RET Analyzer (図 6 a、6b): さまざまな RET 手法(スキヤットリングバーなど)やレイアウトのアプローチに対して設計パターンの寸法バラツキ解析をしたり、付加した RET を最適化したり、調整したりすることができます。
- Virtuoso RET Verifier (図 7): LRC ツールです。レイアウトとリソグラフィ製造ルールとを比較検証します。ルールに違反した箇所が検出され、Virtuoso 設計環境内で詳細な解析と修正が行われます。
- Virtuoso RET Suite は、設計者がリソグラフィのエキスパートになることなく、設計環境にリソグラフィの専門知識をもたらすことができ、litho-aware デザインを実現し、Virtuoso platform をよりパワフルなツールにします。

CADENCE STANDARD PLATFORMS ARE SUPPORTED

System requirements

Platform/OS

Vendor	Architecture	OS	Required version of OS
Sun	32/64 bit	Solaris	Sun4v
Operton	32/64 bit	Linux	Linux86

Capacity

- Scalable DP (distributed processing) options available

Interfaces

Other products	Dependency exists?	High-level description of dependency
Virtuoso layout editor	Yes	User interface and data storage

cadence™

日本ケイデンス・デザイン・システムズ社

本社 / 〒222-0033 神奈川県横浜市港北区新横浜 2-100-45
営業本部
TEL.(045)475-8410 FAX.(045)475-8415 URL <http://www.cadence.co.jp/>
〒541-0054 大阪府大阪市中央区南本町 2-6-12 サンマリオン NBF タワー16F
TEL.(06)6121-8095 FAX.(06)6121-7510



販売代理店 **イノテック株式会社** IC ソリューション本部

〒222-8580 神奈川県横浜市港北区新横浜 3-17-6
TEL.(045)474-2290.2291.2293 (営) FAX.(045)474-2395
URL <http://www.innotech.co.jp/>
〒541-0054 大阪府大阪市中央区南本町 2-6-12 サンマリオン NBF タワー16F
TEL. (06)6121-7703(営) FAX. (06)6121-7720

* 記載の各製品等は登録商標です。
* 掲載の内容は、2008年5月現在のものです。