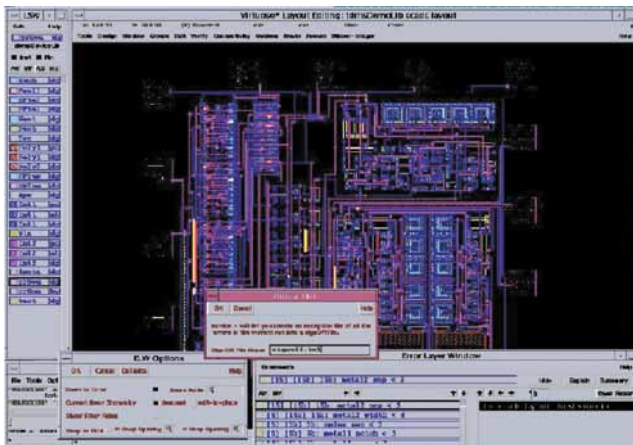


SILICON ANALYSIS

Virtuoso® Analog Mixed Signal (AMS) Silicon Analysisは、物理検証(DRC、LVS)、寄生情報抽出、各種ノイズ解析に対応します。基板ノイズ、IRドロップ、エレクトロマイグレーションはプロセスの微細化にともない顕在化する問題ですが、Silicon Analysisによりその影響をシミュレーションすることができます。

Assura DRC

Assura® Design Rule Checker (DRC)は、広範囲にわたるチェックコマンドとモディファイヤを持ち、階層をフラットにすることなく最も困難なデザイン・ルールのチェックを可能にします。また、デバッグの効率を改善するため、数々のチェックを分割して実行できるチェック・コマンド・オプションを用意しました。パラレルエッジや向かい合わせエッジのチェック、電氣的に接続または未接続の図形のチェック、ライン長が指定基準を満たしているかどうかのチェックなどを容易に実行できます。それぞれのチェックの結果は、それ以降のチェック処理に渡したり、後の参照のためにデータベース内に保存できます。



Assura LVS

現実のアプリケーションでは、レイアウトとスキマティックの階層が同じになることはほとんどありません。レイアウトやスキマティックの最適化により、階層が一致しなくなり、デバイスの置換、交換、混合などが発生し、色々なバリエーションが生まれるのが普通です。

THE VIRTUOSO CUSTOM DESIGN PLATFORM

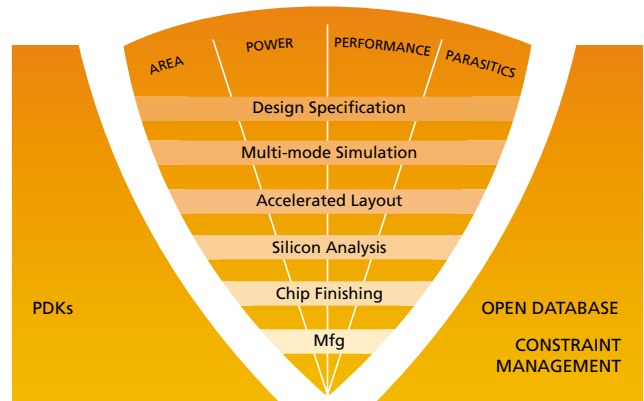
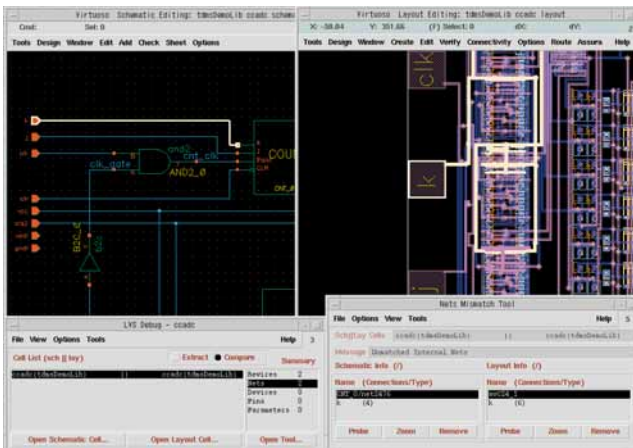


図1 Virtuoso platformのすべてのコンポーネントは、短時間に高精度の設計を可能にするため高い次元で統合されています

Assura Layout vs Schematic (LVS)は、これらのバリエーションを扱うことができるため、疑似エラーを出さずに回路を正確に検証できます。また、コンソリデーション・オプションにより、直列か並列に接続している同種のデバイス・グループを単一のデバイスに縮退します。このコンソリデーションはスキマティックとレイアウトが一致しない場合でも、デバイスとデバイスの比較を正確に実行できます。パラメータの比較においても、どのパラメータに対してチェックを行うか、各デバイスタイプに対してどのような比較を実行するかなど、ユーザーに完全な制御機能を提供します。このとき、パラメータを完全に一致させるか、一定の許容誤差内に収めるかを選択できます。フラット検証では、ロック相互接続内のエラーがデバイス・レベルまで伝搬するため、極端に長いエラー・レポートが作成されるばかりでなく、疑似エラーもいくつか出されることがあります。Assura LVSでは、階層処理を行うためブロックレベルにおいて、ブロック相互接続内のエラーを切り分け、デバッグ・プロセスを大幅に簡易化し、疑似エラーを事実上完全に排除します。

特長

- 高速で高精度
- 複雑な階層構造を保持したまま正確に検証可能
- どのような設計スタイルにも適応可能
- スキーマティックとレイアウト間の階層の不一致を自動調整可能
- 多階層と反復を活用し、最先端のチップを高速で検証します
- 使い勝手の良さ
- 優れたGUIにより、エラーを効率良くデバッグ可能
- レイアウト・テキストが不要
- ユーザー定義のデバイス記述により、どんなプロセス・テクノロジーにも柔軟に対応可能
- 強力な測定コマンドと計算コマンドにより、パラメトリック・デバイスの詳細な抽出が可能
- SKILL へのアクセスを可能にしカスタム機能を記述可能
- Divaのルール・セットを直接入力可能
- Draculaルール・セットの変換ユーティリティをサポート
- サポート・フォーマット
- SPICE、CDL、Verilog® ネットリスト、Design Framework II、GDS stream データを使用できます。



Assura LVSは、スキーマティック・ネットリスト及びレイアウト内のネットとデバイスを同じ色で表示し、複数の設計を素早く比較し、デバッグすることを可能にしています。クロス・プロビングは、スキーマティックとレイアウトのいずれからでも開始できます。

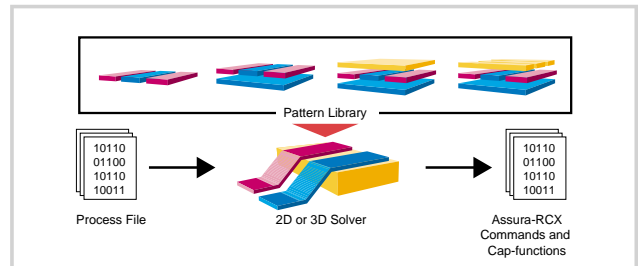
Assura RCX

Assura Parasitic Extraction(RCX)は、フルチップ・デザインのパッケージ・レベルの抽出を行います。サイドウォール・フリンジ、カップリング、クロスオーバー等の3D効果を考慮して、高精度で抽出を行います。処理中に使用するデータ圧縮テクニックと処理速度のために最適化されたアルゴリズムにより、最高レベルの性能とリソースの有効利用を可能にします。

Assura RCXは、Assura LVSの後に抽出を行い、ポスト・レイアウトシミュレーション、レイアウトとスキーマティック間のクロス・プローブまでを行うというフローを実現する様、密にADEと統合されています。これらのフローを実現する、クラス最高のツールと技術と環境を提供します。

インターコネクトのモデル化とキャラクタライズは、Assura RCXのCapgenモジュールによって行われます。配線層の幅、厚さ、酸化膜の厚さなどのプロセス・データを使い、何千というテスト・パターンを想定し、組み込みの2Dや3Dのフィールド・ソルバを使って容量計算方程式を導き出します。また、エンドユーザーにシミュレーションやタイミング問題の解析のための幅広い制御性も提供しています。例えば、クリティカルパスを指定し、そのネットに関して完全な分散RCで抽出し、その他に関して容量のみを抽出するというような指定が可能です。

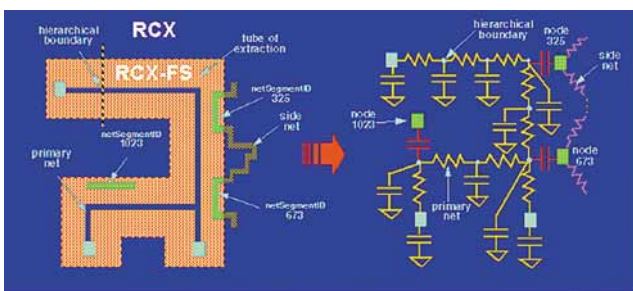
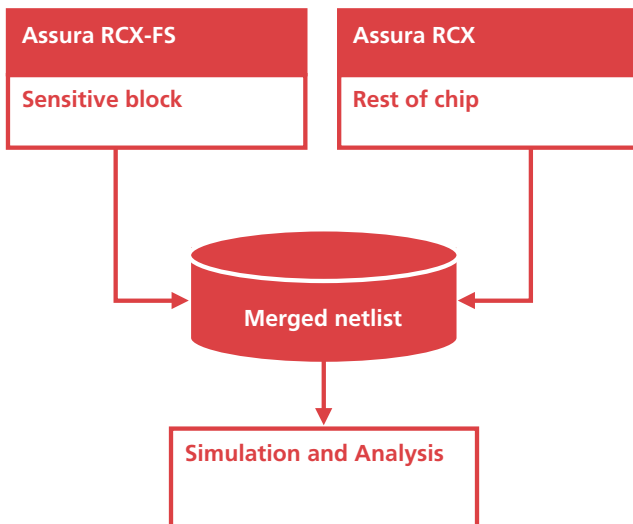
SPICEフローでは、ユーザーによって指定されたスレッショ・ホールドにより、抵抗と容量をフィルタする機能の実行され、小さい抵抗はショートさせられ、小さい容量は取り去られます。Design Framework IIまたはGDSが入力可能で、SPICE/extractedを出力可能です。



キャパシタンス抽出用のモデル作成

特長

- 高速な処理と高い抽出精度
- Design Framework II またはGDSを入力可能
- Spice、Spectre、DSPF、SPEF のネットリストを出力可能
- Mixed-Signal Back-Annotation用のextracted viewを出力可能
- 寄生抵抗、寄生容量、寄生インダクタンスの抽出
- MOSデバイスのAD/AS、PD/PS、NRD/NRSの抽出が可能
- 多彩な選択可能な抽出モード
- 階層抽出をサポート
- 抵抗や容量のフィルタリング機能
- 自己インダクタンス(L)と相互インダクタンス(K)の寄生抽出が可能(RCX-PL)
- リターンパスの自動認識(RCX-PL)
- 電氣的に無用と思われるLとKを除去するネットリスト縮退機能(RCX-PL)
- 高速3Dフィールドソルバ・オブション(RCX-FS)
- 妥協のない3Dの容量抽出精度(RCX-FS)
- コンフォーマルな誘電体、台形の配線・誘電体、エアギャップ等のプロセス技術に対応
- センシティブなブロックに対してのみRCX-FSを使用し、その他をRCXで実行するコンビネーションモードが可能
- マルチCPUおよびマルチマシンをサポート(RCX-MP)



高周波回路設計における基板ノイズ

チップサイズやプロセスの微細化や動作クロックの高速化により、デジタルブロックからのノイズの影響が無視できないものとなっています。このノイズの増加がセンシティブなアナログ回路の動作に影響し、設計における重大な問題となります。

デジタル信号のスイッチングの度に、インターコネクトやパルクターミナルから基板にノイズがカップリングされます。さらに、ノイズは電源線やパッケージからも基板へ伝搬されます。デジタル回路は基板ノイズに対して強い耐性を示しますが、アナログ回路は非常にセンシティブで簡単に誤動作する恐れがあります。サブストレートカップリングによるノイズは、ミックスシグナル設計で引き起こされる予期しない誤動作や歩留りの低下などの主な原因となります。

Assura RF

基板の抵抗/容量 (RC) ネットリスト出力機能を持ち、ADEであれば、出力結果をExtracted Viewに自動で付加させることが可能です。基板の情報が付加されたExtracted Viewを用いてADEからシミュレーションすることが可能です。

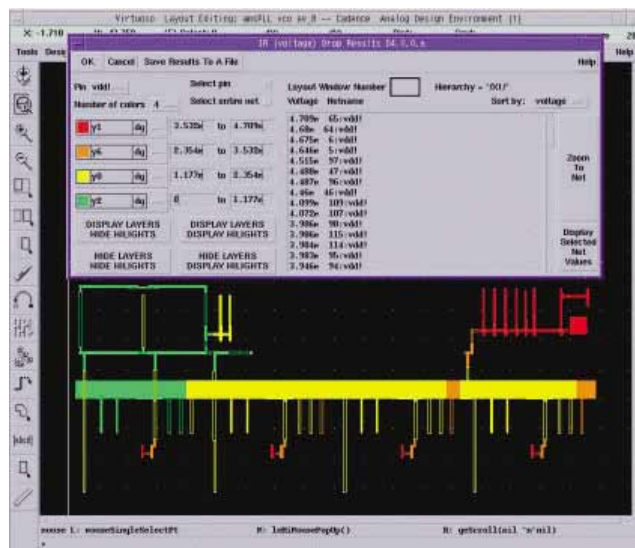
特長

- 大規模ミックスシグナル設計の基板ノイズ解析
- キーとなるトランジスタのサブストレートカップリングの影響を正確にモデリング
- 影響する主要なノイズの特定
- 回路シミュレーション用のノイズモデルの出力
- デザインやプロセス、レイアウトやパッケージなどを変更した時の影響の計算
- ガードリング効果の計算
- 等価SPICE RC ネットリスト出力機能と、SchematicまたはExtractedビューへの自動追加

Virtuoso Analog VoltageStorm Option Virtuoso Analog ElectronStorm Option

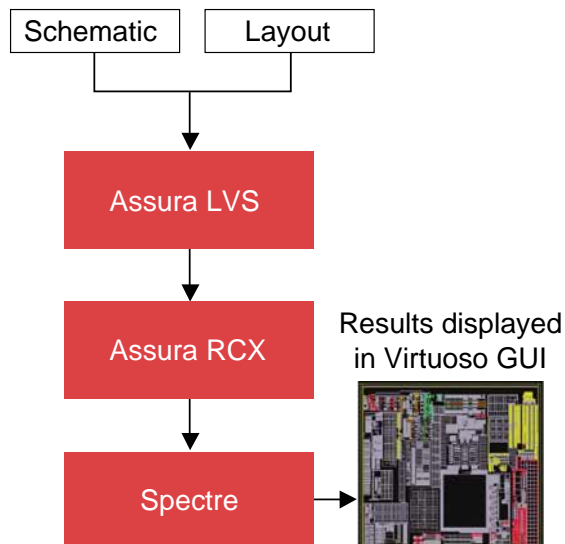
Virtuoso Analog VoltageStorm Option及びElectronStorm Optionは、ADEに密に統合されたアナログ回路向けのIRドロップ及びエレクトロマイグレーション検証ツールです。

Assura LVS、Assura RCX、及びSpectre Circuit Simulatorと組み合わせて使用することで、IRドロップ及びエレクトロマイグレーションの結果をVirtuoso Layout EditorのGUI上にダイレクトに表示することが可能で、問題の個所を簡単に特定することができます。これにより、テーパーアウト時のIRドロップやエレクトロマイグレーションによる問題発生リスクを低減することが可能です。



特長

- IRドロップの結果をExtracted Viewにダイレクト表示することにより、ユーザーは効率的に問題箇所を修正可能
- 結果表示のフィルタ機能
- 問題箇所のグラフィカル表示が可能
- RMS、最大値、平均値をレポート
- フォームベースの簡単なセットアップ
- ビア及び配線の電流リミットを設定可能
- レイヤごと及び配線幅ごとに電流リミットを設定可能
- 既存の抽出ツール及びシミュレーションツールを有効活用



cadence™

日本ケイデンス・デザイン・システムズ社

本社 / 〒222-0033 横浜市港北区新横浜 2-100-45
営業本部
TEL(045)475-8410 FAX(045)475-8415 URL <http://www.cadence.co.jp/>
関西営業所 / 〒541-0054 大阪市中央区南本町 2-6-12 サンマリオンNBFタワー
TEL(06)6121-8095 FAX(06)6121-7510



販売代理店

イノテック株式会社

ICソリューション本部

〒222-8580 神奈川県横浜市港北区新横浜 3-17-6
TEL(045)474-2290,2291,2293(営) FAX(045)474-2395
URL <http://www.innotech.co.jp/>
大阪支社 / 〒541-0054 大阪市中央区南本町 2-6-12 サンマリオンNBFタワー 16階
TEL(06)6121-7703 FAX(06)6121-7720

記載の各製品等は各社の登録商標です。
掲載の内容は、2008年8月現在のものです。
GREY-2008-3-D-V1