

VIRTUOSO CUSTOM DESIGN PLATFORM GXL

Cadence® Virtuoso® custom design platformは、アナログ、RF、ミックスドシグナル、そしてカスタムのデジタル設計の回路設計からレイアウト設計までをカバーする業界をリードする設計システムです。

GXL ファミリは、設計と解析のための最高のテクノロジーから構成され、エンドユーザーにより高いレベルの設計環境を提供するために、XL ファミリを拡張したものです。

VIRTUOSO GXL 製品ファミリの概要

Virtuoso Layout Suite GXL (VLS-GXL) は、Virtuoso platform 中のハイエンド・カスタム・ブロック向けのレイアウト・ツールで、デバイスレベル、セルレベル、ブロックレベルのレイアウト・ツールです。VLS-GXLは、カスタムIC設計を効率化するための、デバイス生成 / 編集機能、ブロック・フロアプランニング機能、自動配置機能、インタラクティブ配線機能を含む各種自動レイアウト機能が提供されます。包括的なアナログ設計における制約入力とその管理機能により、VLS-GXLは、設計の再利用、ECO、仕様変更への対応、他のプロセスへの変換などを容易にします。独自の配置、配線エンジンにより、自動もしくはインタラクティブにデバイスの生成と最適化、制約に従ったデバイスの配置とそれに続く配線を可能にします。

Virtuoso Analog Design Environment GXL (ADE-GXL) では、新しい寄生情報の見積もりと比較フローにアクセスでき、最適化アルゴリズムによって歩留まりの向上を可能にします。そして同様の先進のカスタムIC設計環境を Allegro® platform で使用することで SiP 設計も可能にします。

特長

カスタムICブロック設計を自動化するレイアウト・ツール

VLS-GXLは、デザイン・ルール・ドリブン機能とフローによる先進の自動化機能により、カスタムIC設計を最適化し容易にします。メニュー操作でパラメータ化可能なセル (Qcells) や SKILL プログラムでパラメータ化可能なセル (Pcells) により、デバイスの生成と編集作業の効率化を可能にします。フロアプランと自動配置機能は、ブロックの配置プランとデバイスの配置位置の最適化を可能にします。先進のシェーブベースの設計制約と設計ルール・ドリブン配線機能は、マニュアルによる配線作業の効率化を可能にします。

THE VIRTUOSO CUSTOM DESIGN PLATFORM

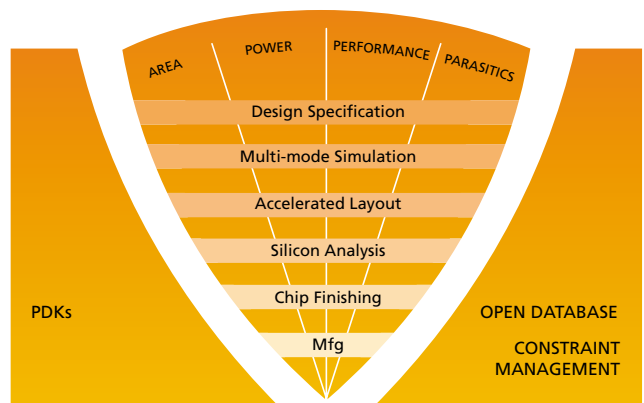


図1 Virtuoso platformのすべてのコンポーネントは、短期間に高精度の設計を可能にするため高い次元で統合されています

自動配置配線と編集機能

配置エンジンは、デバイスが高い性能を達成できるように高密度で、シムトレやマッチングなどの設計制約を考慮しながら正確にデバイスを配置します。デバイスの生成に当たっては、色々な形状で複雑なデバイスの形状を生成し、そして配置エンジンがより高い集積度を達成できるように、色々な形状でトレードオフします。ピンは信号の流れが最適になるように配置され、幅広配線に必要なスペースが確保されます。最適化中、配置エンジンは、ウェルのマージやガードリングの生成など、配置の処理を通して初期の設計制約を満たす様にします。配線エンジンは、制約エディタで設定された制約を満たすように配線を最適化します。

配線エンジンは、クロストークの問題を考慮しながら任意の配線幅とスペーシングを確保します。さらにTネットの様な構造のバランスの取れた配線を可能にするため自己対称ネットの配線も可能にします。また、部分的に自己対称ネットの配線も可能にしますので、配線の重要度に合わせ配線の方法を選択可能です。インタラクティブ編集モードは、デバイスのアライメント、移動、オリエンテーション、形状の変更などを可能にします。デバイスの変更に合わせ、関連するウェルやガードリングの再生成も可能です。オンラインDRC機能は、DRCエラーの無いレイアウトを保証します。ネットの引き直しと重要な配線の位置を固定できます。ある対称ネットの配線の一部が変更された際は、対称先のネットは制約を守るため変更後の配線に従い対称性を保持するようにします。この様にレイアウトのすべての処理を通して設計制約を考慮します。

高精度のデバイス生成とレイアウト合成機能

配置の際に扱われる個々のデバイス生成のためのオプションを提供します。Pcell、ユーザー固有のセルをサポートしますし、古いIGDSIIレイアウトもサブセルとして入力可能です。より複雑なデバイスには高性能ジェネレーターであるModgensを推奨します。複雑なクワッドFET、インターデジットとマッチドFETアレーをサポートします。

Modgensはいくつかのデバイスを1つの複雑なグループにマップでき、それをグループとして編集可能です。VLS-GXLの包括的なレイアウト合成エンジンは、デバイスの形状、セルのフットプリント、デバイスの配置、配線をアナログの設計制約を考慮しながら生成と最適化します。(図2.3参照)

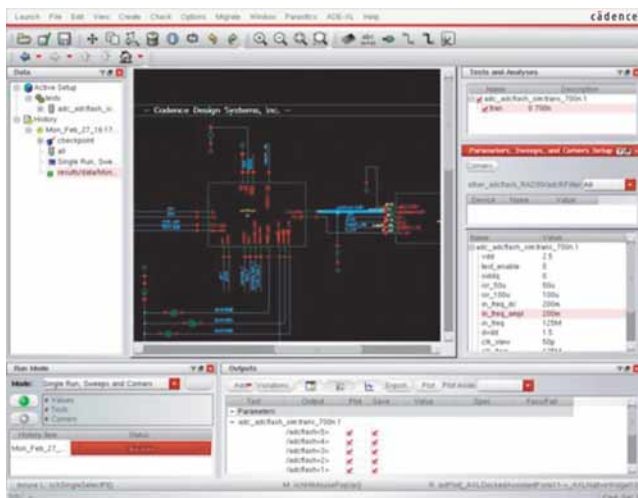


図2 ADE-GXL

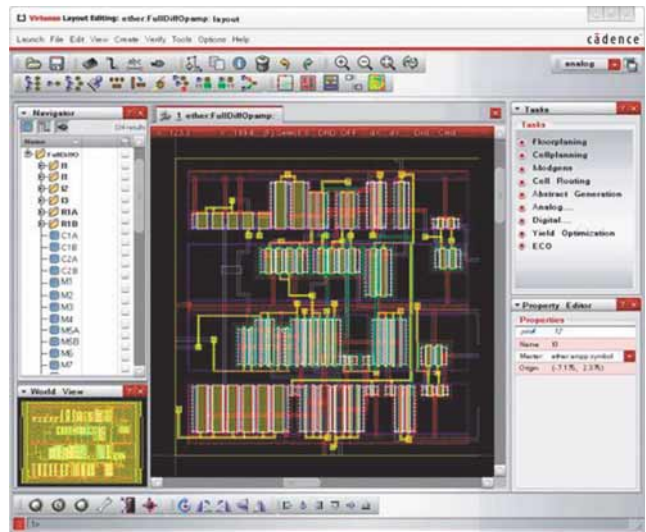


図3 VLS-GXL

ポスト・レイアウト・シミュレーション・フロー

設計者は、回路図上に見積もった寄生値を指定可能で、配線の制約として変換されます。これらの制約は、レイアウト担当者に、この配線は重要で、制約を守るように配線しなければいけないことを知らせます。寄生の抽出後は、見積もった寄生値と比較され問題点がどこにあるかを発見できます。

レイアウト設計

Virtuoso Layout EditorとTouboの全機能をサポート

Virtuoso Schematic Editorやネットリスト・ドリブンの階層レイアウト
インタラクティブに回路図のデバイス指定やソースから自動デバイス抽出
メニュー操作によるQcell生成やSKILLプログラムでのデバイス自動生成
自動化されたデバイス接合、ピンの並び替え、連結、コピーなどのデバイスの編集機能

ガードリングやスロットリングなどのための、メニュー操作やプログラムによるマルチ・パート・パス(MPP)

オンラインDRC機能を含む設計ルール・ドリブン編集機能

ダイナミック測定

制約ドリブンの仕様、管理、オンライン制約チェック機能

矩形ブロックとピンの最適化とテンプレートをサポートするブロックのフロアプラン機能

ピン、デバイス、セル、ブロックの自動制約/設計ルール・ドリブン配置機能

先進のシェーブベースの制約//設計ルール・ドリブン・インタラクティブ配線機能

Virtuoso Schematic EditorとVirtuoso Chip Assembly Router間の
双方向インターフェースのサポート

ECOのサポート

接続情報の見えない古いデザインの入力と接続性のマッピング

Assuraのサポート

包括的なデバイスとセルのサポート

オペアンプ、チャージポンプ、VCOなど全てのアナログセルをサポート

Pcell、ユーザー固有セル、古いIGDSIIレイアウトのサポート

複雑なクワッドFET、インターデジットとマッチドFETアレーをサポート
ガードリング、ダミーデバイス・ウェルなどをサポート

包括的な統合

DFIIライブラリ構造が、制約、デバイス、パラメータと接続性を保存
 Virtuoso XL Layout Editorのコネクティビティ・モデルとの互換
 新しいプロセスのセットアップを容易にするウィザードをサポート
 ECOフローをサポート

自動とインタラクティブ機能

デバイスとデバイスの配列の自動生成機能
 シンメトリやマッチングを考慮したデバイスの自動配置機能とクロストークの回避
 デバイスのアラインメント、移動、形状の変更機能
 シンメトリを保持した配線の変更機能
 オンライン設計ルール、設計制約チェック機能

シミュレーション環境の拡張

デザイン寄生の固定と比較のツールをサポート
 歩留まりを改善する最適化機能
 SiP設計をサポートするAllegroプラットフォームとの統合

入力フォーマット

SKILL、GDS2、OpenAccess、Virtuoso Schematic Editor L/XL、
 CDL、SPICE、Virtuoso Chip Assembly Router データベース

出力フォーマット

Open Access、SKILL、GDS2

サードパーティのサポート

SKILLベースのツール
 OpenAccessベースのツール
 PDK

VIRTUOSO CUSTOM DESIGN PLATFORM GXL FEATURES

	Virtuoso Analog Design Environment GXL	Virtuoso Layout Suite GXL
New Common Cockpit	X	X
New Icon Style	X	X
Multi-Tab Support	X	X
Bookmarks & History	X	X
Updated Pulldown Menus	X	X
Window Config Support	X	X
World View Assistant	X	X
Search Assistant	X	X
Property Editor Assistant		X
Navigator Assistant		X
Constraint Browser		X
Design Explorer		X
Single Test-bench	X	
Simple Parametric Analysis	X	
Device Checking	X	
Global Variable Support	X	
Updated Wavescan	X	
New Calculator	X	
Simulation Support: Virtuoso Multi-mode Simulation, HSPICE	X	
Circuit Optimization	X	
Behavioral Model Generation	X	
Parasitic Resimulation	X	
Yield Analysis	X	
Mismatch/Sensitivity Analysis	X	
SiP Support	X	
Basic Polygon Editing		X
Q-Cells		X
DRD Editing		X
A & D Device Placer		X
ModGens		X
Cell Planning		X
Chip Assembly Router		X
Floor Planning		X
Cell Block Placer		X
Layout Optimization		X

cadence™

日本ケイデンス・デザイン・システムズ社

本社 / 〒222-0033 横浜市港北区新横浜2-100-45

営業本部

TEL(045)475-8410 FAX(045)475-8415 URL <http://www.cadence.co.jp/>

関西営業所 / 〒541-0054 大阪市中央区南本町2-6-12 サンマリオンNBFタワー

TEL(06)6121-8095 FAX(06)6121-7510



販売代理店

イノテック株式会社

ICソリューション本部

〒222-8580 神奈川県横浜市港北区新横浜 3-17-6

TEL(045)474-2290,2291,2293(営) FAX(045)474-2395

URL <http://www.innotech.co.jp/>

大阪支社 / 〒541-0054 大阪市中央区南本町2-6-12 サンマリオンNBFタワー 16階

TEL(06)6121-7703 FAX(06)6121-7720