Cadence_Japan EDA Tool Training : トレーニングコース・スケジュール

[2010年6月]

開催形式	ｶﾃｺﾞﾘｰ	コース名称	バージョン	5/31 月	6/1 火	2 水	3 木	4 金	7 月	8 火	9 水	10 木	11 金	14 月	15 火	16 水	17 木	18 金	21 月	22 火	23 水	24 木	25 金	28 水	29 木	30 金	受講料（税込）	受講料（本体価格）
定期開催コース	Custom IC Design & Design for Manufacturing	IC5141 Artist CAE Basic	5.141																								¥94,500.	¥90,000.
		IC61 Analog Design Environment	6.13																								¥94,500.	¥90,000.
		IC61 ADE Advance	6.13																								¥94,500.	¥90,000.
		Spectre	7.2																								¥47,250.	¥45,000.
		SKILL言語プログラミング	5.141																								¥189,000.	¥180,000.
		VLE (Virtuoso Layout Editor)	5.141																								¥147,000.	¥140,000.
		VXL (Virtuoso-XL)	5.141																								¥105,000.	¥100,000.
		Assura DRC/ERC/LVS QRC Transistor-Level Extraction	3.2/8.1																								¥94,500.	¥90,000.
		VLDB (Virtuoso Layout Design Basics)	6.13																								¥94,500.	¥90,000.
		VCDL (Virtuoso Connectivity-Driven Layout)	6.13																								¥94,500.	¥90,000.
	Functional Verification	Verilog-HDL and Simulation (NC-Verilog)	8.2																								¥147,000.	¥140,000.
		Incisive Simulator (SystemC ｼﾐｭﾚｰｼｮﾝ)	9.2																								¥47,250.	¥45,000.
		Specman ﾍﾞｰｼｯｸﾄﾚｰﾆﾝｸﾞ(ﾕｰｻﾞｰ向け) ＊2	-																								¥105,000.	¥100,000.
		Specman ﾍﾞｰｼｯｸﾄﾚｰﾆﾝｸﾞ(開発者向け) ＊3	-																								¥157,500.	¥150,000.
		Incisive Enterprise Manager	9.2																								¥47,250.	¥45,000.
		IFV *4	8.2																								¥78,750.(*4)	￥75,000.(*4)
	Digital ICDesign	EDI	9.1																								¥147,000.	¥140,000.
		RTL Compiler Training	8.1																								¥47,250.	¥45,000.
		QRC:GateLevel	6.2																								¥26,250.(*1)	¥25,000.(*1)
		VoltageStorm PE	6.1																								¥94,500.	¥90,000.
	HLS	C-to-Silicon Compiler	10.1																								¥47,250.	¥45,000.
特別開催コース		NeoCircuit	3.27																									
		Spectre-RF	5.0X																									
		Verilog-A	5.0X																									
		Skill ROD Pcell	5.0X																									
		Diva	5.0X																									
		VCAR (Virtuoso chip assembly router)	11.1																									
		Encounter Conformal	6.1																									
		Assertion Based Verification with PSL	5.83																									
		Assertion Based Verification with SVA	8.2																									
		PCI-Express UVC (e Interface)																										
		Incisive ｼﾐｭﾚｰﾀｰ ﾋﾞｷﾞﾅｰｺｰｽ	-																									
		AHB UVC (e Interface)	-																									
		AXI UVC (e Interface)																										
		OVMによる検証環境の構築	8.2																									

[**ご確認下さい**]

・定期開催コースのスケジュールは、諸般の事情により変更されることがありますので、必ず事前にお問い合わせ頂けるか、若しくは、弊社ホームページ (http://www.cadence.co.jp/)をご確認下さい。

・特別開催コース枠のトレーニング（お客様ご希望の日程、場所でのトレーニング）をご受講ご希望の場合は、お手数ですが、お客様の営業担当までお問い合わせ下さい。

・SPW関連のﾄﾚｰﾆﾝｸﾞにつきましては、CoWare 社(コーウェア株式会社)にお問い合わせ願います。
(https://www.coware.com/portal/page?_pageid=168,105821&_dad=cust_portal&_schema=STAGE)

*1 ： 午後半日(1時～5時)のコースです。 昼食の用意はございません。

*2 ： Specmanの検証環境を利用するためにはユーザー向けを御受講ください。

*3 ： Specmanの検証環境構築も合わせて行う場合は、ユーザー向け、開発者向けの両方を御受講ください。

*4 ：初日は午後半日（1時～5時）、2日目は終日のｺｰｽです。初日は昼食の用意はございません。