

Learning Map for Analog, Mixed and Custom-IC

IC CAD

Analog, Mixed-Signal and RF Design

Layout Design and Physical Verification

Experienced

Skill ROD Pcell

SKILL 言語
プログラミング

Verilog-A

Spectre-RF

VCAR (Virtuoso chip
assembly router)

IC5141 VXL

IC615 Layout
Suite - XL

Core

IC5141 Analog
Design Environment

Spectre

IC615 Layout
Suite-L

QRC Transistor-
Level Extraction

IC61 Analog Design
Environment - L

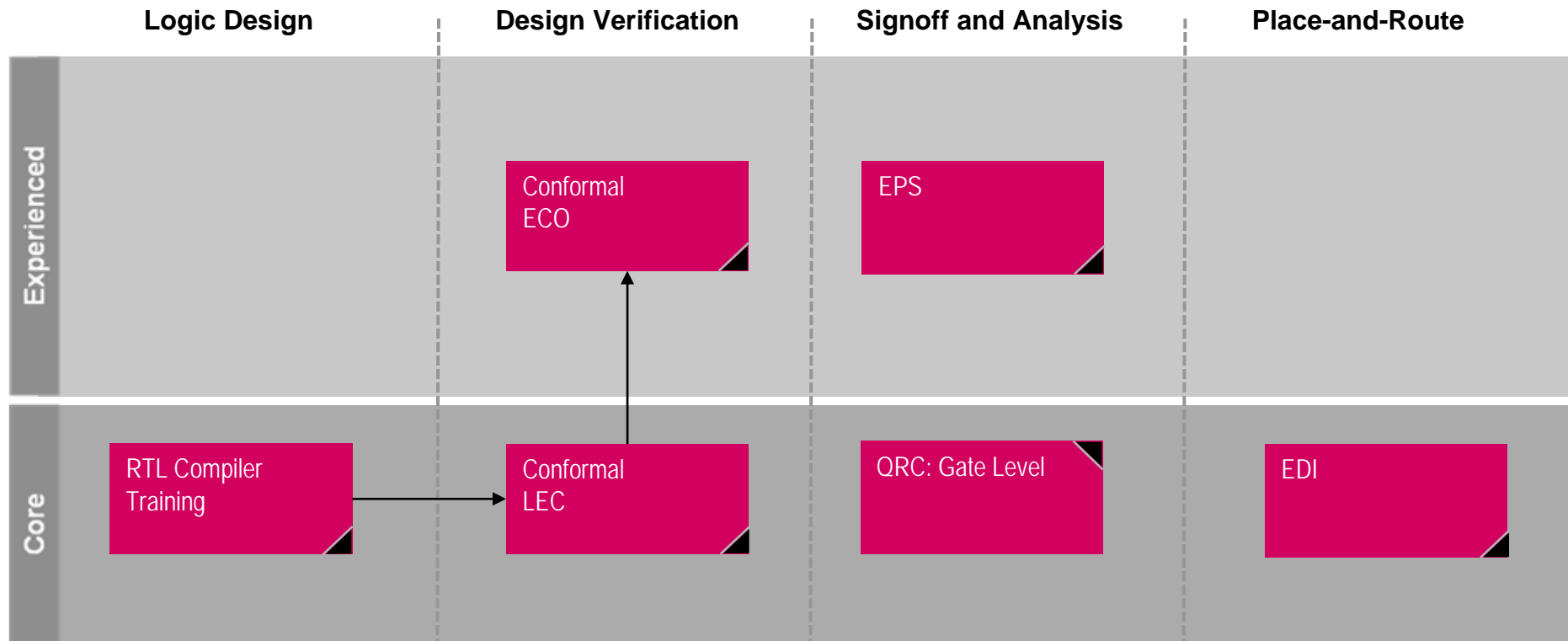
Assura
DRC/ERC/LVS

Diva

IC5141 VLE

▲ = 定期コース ▼ = 特別コース

Learning Map for Synthesis, Place and Router



▲ = 定期コース ▼ = 特別コース

Learning Map for System Functional Verification

Language

Verification

ESL

Experienced

Specman ベーシック
トレーニング (開
発者向け)

PCI-Express
UVC (e Interface)

Core

Assertion Based
Verification with
PSL

Assertion Based
Verification with
SVA

Specman ベーシック
トレーニング
(ユーザー向け)

IEV

C-to-Silicon
Compiler

Verilog-HDL and
Simulation (NC-
Verilog)

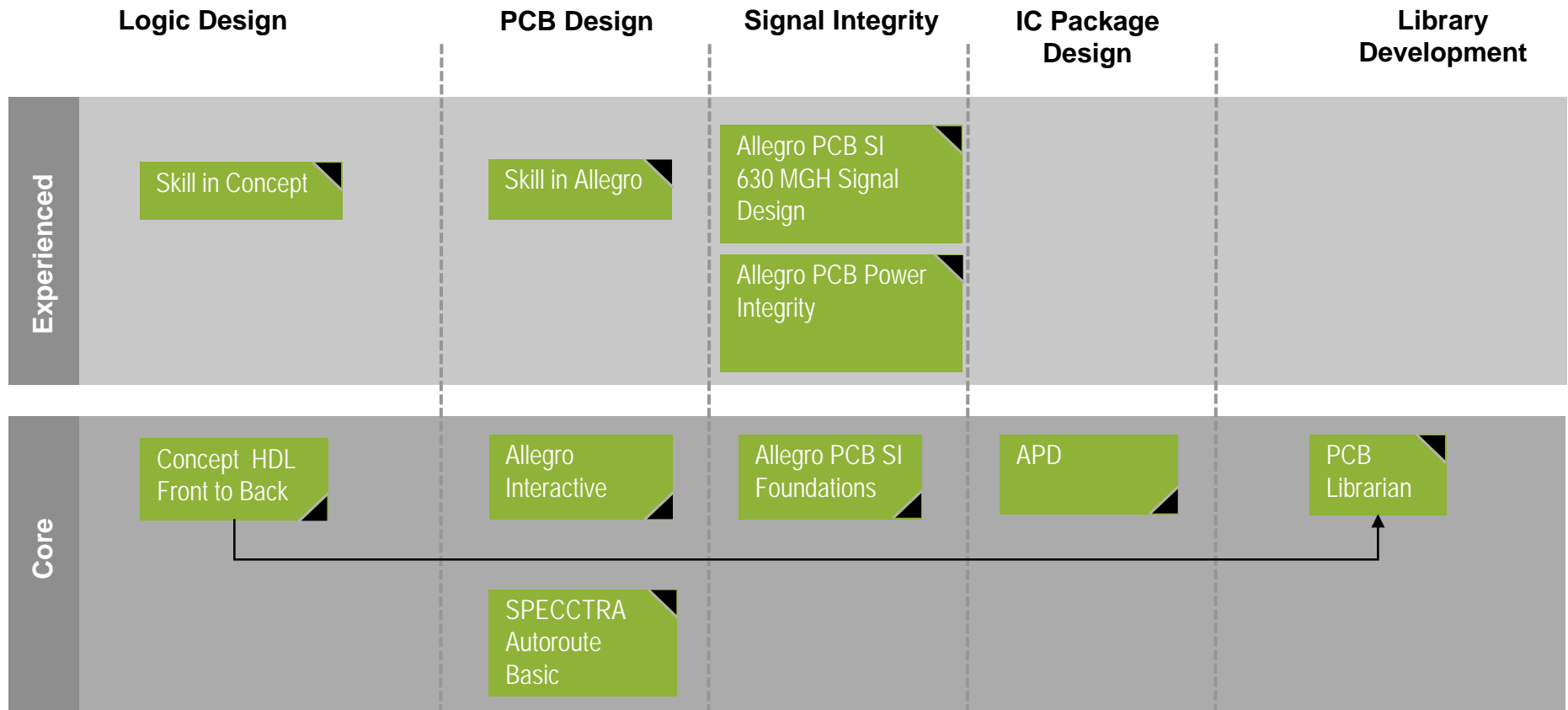
Incisive シュミ
レータービギ
ナーコース

Incisive
Enterprise
Manager

Incisive Simulator
(SystemC シミュ
レーション)

▲ = 定期コース ▼ = 特別コース

Learning Map for Silicon-Package-Board



▲ = 定期コース ▼ = 特別コース